

**BEST AVAILABLE COPY**

공개특허 특2001-0108118

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) . Int. Cl. 7  
H01L 21/66

(11) 공개번호 특2001-0108118  
(43) 공개일자 2001년12월07일

(21) 출원번호 10-2001-7009213  
(22) 출원일자 2001년07월21일  
·면역분 제출일자 2001년07월21일  
(86) 국제출원번호 PCT/JP1999/00232  
(86) 국제출원출원일자 1999년01월22일 (87) 국제공개번호 WO 2000/44041  
(87) 국제공개일자 2000년07월27일

(81) 지정국 국내특허 : 중국, 일본, 대한민국, 미국, 싱가포르,  
EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 롤 셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀란드, 사이프러스,

(72) 빨妖怪	니시무라,아사오 일본187-8588도쿄도고다이라시조스이혼조5조메20-1가부시키가이사히타치세이사쿠쇼 반도체사업본부내 슈꾸리,쇼지 일본187-8588도쿄도고다이라시조스이혼조5조메20-1가부시키가이사히타치세이사쿠쇼 반도체사업본부내 기쓰까와,고로 일본187-8588도쿄도고다이라시조스이혼조5조메20-1가부시키가이사히타치세이사쿠쇼 반도체사업본부내 미야모토,도시오 일본187-8588도쿄도고다이라시조스이혼조5조메20-1가부시키가이사히타치세이사쿠쇼 반도체사업본부내
----------	---

(74) 대리인

### 설사성구 : 없음

#### (54) 반도체 집적 회로 장치 및 그 제조 방법

卷之三

공개특허 특2001-0108118

반도체 집적 회로 장치는 범프 전극(208)을 설치하지 않은 프로브 검사에만 이용되는 본딩 페드(202b)와 같은 단자의 바로 상부 혹은 구멍에, 재배치 배선층(205) 등의 도전층을 이용한 검사 페드(209b)를 설치한다. 범프 전극을 설치하는 본딩 페드와 같은 단자에 대해서도 동일한 검사 페드를 설치해도 좋다. 프로브 검사는 이들의 검사 페드를 이용하거나, 삼기 검사 페드와 함께 범프 전극 형성 이전의 범프 전극 하부 금속을 병용하여 실시한다. 상기된 바에 따라, 검사 페드를 사용함으로써, 프로브 검사 전용 페드를 위한 범프 전극을 추가하지 않아도 좋다. 또한, 본딩 페드와 같은 단자 구멍에 설치되어 범프 전극 하부 금속보다 치수가 작은 검사 페드를 사용함으로써, 재배치 배선 공정 후에 프로브 검사를 실시할 수 있다.

대 36  
도 36

제 36  
범프 전극, 도전층, 반도체 집적 회로 장치, 절연막, 폴리아미드막

명세서

기술분야

본 발명은 반도체 집적 회로 장치(이하, 반도체 집적 회로 장치를 단순히 반도체 집적 회로라고도 칭함)에 관한 것으로, 특히 반도체 기판에 회로 기판 실장용의 땜납 범프 등의 돌기형 전극(이하 단순히 범프 전극이라고도 칭함)이 형성된 반도체 집적 회로(이하 단순히 플립 칩형 반도체 집적 회로라고도 칭함)에 관한 것이다. 본 발명은 특히, 프로브 검사에 주목한 둔납 칩형 반도체 집적 회로의 구조 및 그 제조 방법에 관한 것으로, 예를 들면, 메모리 및 논리 회로 등이 혼재된 시스템 LSI 등, 및 그 제조 방법에 적용하여 유효한 기술에 관한 것이다.

또한, 본 발명은 반도체 기판에 회로 기판 실장용의 땜납 범프 등의 돌기형 전극(이하 단순히 범프 전극이라고도 칭함)이 형성되며, 또한 반도체 집적 회로의 소정 부분의 기능을 영구적이거나, 불가역적으로 변경하는 프로그램 소자를 탑재한 반도체 집적 회로에 관한 것이다.

제 36

회로 기판 실장용의 범프 전극을 구비한 반도체 집적 회로에 대해 기재된 문현의 예로서 이하의 문현이 있다.

(a) 특개평5-218042호, (b) 특개평8-250498호, 및 (c) 미국 특허 제5547740호의 각 공보에는 본 명세서에서 언급하는 플립 칩형 반도체 집적 회로의 기본 형태의 하나가 나타나 있다. 즉, 플립 칩형 반도체 집적 회로는, 예를 들면, 그 원의 본딩 페드로부터 재배치 배선을 배치하고, 재배치 배선에 접속하는 범프 전극을 칩의 표면에 어레이형으로 배치하여(영역 어레이형으로 배치하여), 영역 어레이형으로 배치된 범프 전극을 표면 보호막으로부터 노출시킨다. 이에 따라 범프 전극의 간격을 확대하여, 실장 기판의 배선에 범프 전극을 접속하는 기판 실장을 용이하게 함과 함께 배선 간격이 넓은 저비용 실장 기판의 이용을 가능하게 하는 것이다.

플립 칩형 반도체 집적 회로에서, 범프 전극은 직접 회로 기판에 실장 가능한 단자로서, 패키지의 리드 핀 등의 외부 접속 단자에 삽입하여, 범프 전극을 형성하여 웨이퍼 프로세스를 전부 완료한 후에는 범프 전극만 노출되고, 이미 본딩 페드는 절연막 혹은 보호막으로 피복된다.

본 발명자는, 반도체 칩의 본딩 페드의 수를 패키지의 리드 핀에 대표되는 외부 단자(범프 전극)의 수와 비교하였다. 이

공개특허 특2001-0108118

에 따르면, 프로브 검사에만 이용되는 본딩 페드, 본딩 옵션의 수법으로 전원 단자 등에 접속되는 본딩 페드에는 그 전용의 외부 단자는 할당되지 않는다. 따라서, 플립 칩형 반도체 집적 회로로 치환하여 생각한 경우, 재배치 배선 및 범프 전극 형성전이면 모든 본딩 페드를 이용하여 웨이퍼 프로브 검사를 행할 수 있다. 그러나, 직접 프로브를 접촉시키면(니) 본딩 페드가 손상하여 재배치 배선과의 접속 불량 등을 야기할 우려가 있다는 것이 본 발명자에 의해서 발견되었다.

상기 (a)~(c)의 문헌에는 프로브 검사의 수법에 대해 전혀 기재된 바가 없다. 프로브 검사와의 관련이 기재된 문헌으로서, 예를 들면, (d) Michael J. Varnau : "Impact of Wafer Probe Damage on Flip Chip Yields and Reliability", International Electronics and Manufacturing Technology Symposium(October 23~24, 1996)에는 프로브 검사 후의 본딩 페드 상에 범프 전극 하부 금속을 형성하는 기술이 기재되어 있다. 그러나, 상기 (d)에 기재된 문헌에 관해서는 재배치 배선 공정 전의 본딩 페드에 프로브를 접촉시키면, 본 발명자에 의해 상술된 검토한 대로 본딩 페드 표면이 손상하여 재배치 배선과의 접속 신뢰성이 저하할 가능성이 있으며, 재배치 배선용 재료의 선택에 제약이 생긴다.

또한, 플립 칩형 반도체 집적 회로에서의 프로브 검사에 대해 이하의 문헌이 있다.

(e) 미국 특허 제5597737호 공보에는 범프 전극 형성전의 범프 전극 하부 금속(UBM : Under Bump Metallurgy)에 프로브를 접촉시켜 프로브 검사를 행하는 기술이 기재되어 있다.

(f) 특개평8-64633호 공보에는 범프 전극 하부 금속에 인접하면서 연결되어 검사 페드를 설치한 구성이 나타내여져 있다. 검사 페드는 범프 전극의 측부에 배치되어 있다.

(g) 특개평8-340029호 공보에는 재배치 배선층을 형성한 본딩 페드의 바로 위를 노출시키고, 이 노출 부분에 프로브 검사용의 검사 페드를 형성하는 발명에 관한 기재가 있다.

(h) 특개평8-29451호 공보에는 본딩 페드 근방에, 재배치 배선층에서 프로브 검사용의 페드를 형성하는 발명에 관한 기재가 있다.

본 발명자는 상기 문헌에 기재된 기술을 더욱 검토하여 이하의 결과를 얻을 수 있었다.

상기 (e)에 기재된 기술도, 상기 (d)의 기술과 마찬가지로, 프로브 선단으로 맴남 범프 전극 하부 금속에 흠을 낼 가능성이 있으며, 맴남에 대한 습윤성 저하나, 맴남 확산 방지를 위한 배리어 금속의 손상에 의한 맴남 범프 전극과의 접합 신뢰성을 저하시키는 원인이 되는 것이 본 발명자에 의해 분명해졌다.

또한, 상기 (e)에 기재된 기술에 있어서 범프 전극 하부 금속은 범프 전극과 마찬가지로 영역 어레이형으로 배치되거나, (f)에 기재된 기술에 있어서 검사 페드도 범프 전극과 함께 영역 어레이형으로 배치되어 있다. 그 때문에, 문헌(e), (f)에 기재된 기술에서는 통상 이용되고 있는 캔틸레버(cantilever) 방식의 프로브를, 다열 배치된 범프 전극 하부 금속 혹은 검사 페드에 적용하는 것은 곤란하며, 영역 어레이형으로 배치된 단자 전용의 고가 프로브가 별도로 필요하다는 새로운 문제점이 생긴다는 것이 본 발명자에 의해 밝혀졌다.

상기 (g)의 문헌에서는 반도체 장치의 고집적화에 따라 본딩 페드의 치수 및 간격이 좁아지면, 검사 페드의 치수, 간격도 좁아지며, 프로브의 위치 결정 및 확실한 접촉이 곤란해진다는 문제점이 있는 것이 본 발명자에 의해 발견되었다.

상기 (h)에 기재된 기술에서는, 재배치 배선층에 검사 페드의 면적이 부가되기 때문에, 배선의 캐페시턴스가 증대하고, 반도체 집적 회로의 선기적 특성이 저하할 우려가 있다는 것이 본 발명자에 의해 밝혀졌다.

공개특허 특2001-0108118

상기 (f)~(h)의 문현에 있어서, 검사 패드를 무기 절연층 상 또는 금속 배선층 상에 형성하기 때문에, 검사 패드에 크롬이나 니켈 등의 뻥튀한 금속막을 이용한 경우, 검사 패드 표면이 변형되기 어렵다. 이 때문에 프로브 선단과의 접촉성이 나쁘므로, 선단에 금도금을 실시하거나, 넓은 접촉 면적을 얻을 수 있는 구조를 채택한 고가의 프로브가 필요하다는 문제점이 있는 것이 본 발명자에 의해 분명해졌다.

또한, 상기 (e)~(h)에 종래 기술로서 기재된 바와 같이 형성을 완료한 맴남 범프에 프로브를 접촉시키면, 두꺼운 산화막으로 끼워된 꼭변에 강한 하중으로 프로브를 접촉시키기 때문에, 범프의 변형이나 프로브 자체에 손상을 주기 쉽다는 문제점이 분명해졌다.

이와 같이, 상술된 문현에는 플립 칩형 반도체 접적 회로, 그리고 범프 전극과 쌍을 이루는 검사 패드에 대해 기재되어 있지만, 본 발명자가 최초로 검토한 바와 같이 프로브 검사에만 이용되는 본딩 패드나 본딩 옵션의 수법으로 전원 단자 등에 접속되는 본딩 패드 등에는 그 전용의 리드 편과 같은 외부 단자는 할당되지 않는다는 점을 고려한 기재나 시사는 전혀 없다. 즉, 종래 기술은 프로브 검사에만 이용되어 최종 제품 단계에서는 불필요해지는 검사 전용의 검사 패드에 주목한 발명 사상만을 제공하지 않고, 검사 패드는 항상 범프 전극과 쌍을 이뤄서 존재된다. 바꾸어 말하면, 검사에 필요 한 신호는 적어도 범프 전극으로서 충출 가능해지는 것을 전제로 하고 있다. 따라서, 검사에만 필요한 신호 단자에 대해서도 맴남 범프 전극이 설치된다고 하면, 범프 전극의 수가 증대하여, 회로 기판으로의 실장이라고 하는 의미에서 실용적인 간격에서의 범프 전극의 배치가 곤란해지는 것이 본 발명자에 의해 분명해졌다.

본 발명의 목적은 제이치 배선 공정 전의 패드를 손상하지 않고, 또한 범프의 수를 증감시키지 않고 프로브 검사를 실시할 수 있는 반도체 접적 회로 및 그 제조 방법을 제공하는 것에 있다.

본 발명의 다른 목적은 검사 패드의 부가에 의해 생기는 배선의 캐페시턴스 증대를 경감시킬 수 있는 반도체 접적 회로 및 그 제조 방법을 제공하는 것에 있다.

본 발명의 또 다른 목적은 실장 기판과의 접속 신뢰성이 향상함과 함께, 범프 간격을 넓게 취할 수 있기 때문에 기판 실장 비용을 저감시킬 수 있는 반도체 접적 회로 및 그 제조 방법을 제공하는 것에 있다.

본 발명의 또 다른 목적은 둘기형 전극을 어레이형으로 배치하기 위한 금속 배선에 의한 용량성 부하를 작게 하는 것이 가능한 반도체 접적 회로를 제공하는 것에 있다.

또한, 본 발명자는 상기 플립 칩형 반도체 접적 회로와 함께, 프로그램 소자에 대해서도 검토하였다. 프로그램 소자는, 반도체 접적 회로에서 그 불량 회로 부분을 용장 회로로 대체하는 구제 등에 이용되고 있다. 상기 프로그램 소자로서, 예를 들면, 금속막이나 폴리실리콘막을 포함하는 퓨즈가 다용되며, 레이저광의 조사로 용단함으로써 프로그램된다. 퓨즈에 대한 프로그램은 프로브 검사 후에 실시된다. 이 단계에서 웨이퍼 표면의 패시베이션막에는 본딩 패드나 퓨즈를 놓을 시기는 개구가 형성되어 있는데, 예를 들면, 본딩 패드를 이용하여 프로브 검사가 행해진다. 프로브 검사에서는 불량의 소재가 판명되며, 불량 부분을 구제 회로에서 치환 가능하도록 선택적인 레이저광의 조사에 의해 상기 퓨즈에 대한 프로그램이 행해진다.

나쁜 프로그램 소자로서 전기 퓨즈가 있다. 예를 들면, 미국 특허 제5110753호 공보에는 전기 퓨즈의 일종인 안티 퓨즈를 DRAM의 결함 구제 등에 이용하는 기술이 기재되어 있다. 안티 퓨즈는 절연 상태의 산화막의 절연 파괴에 의해 불량 기능한 구성을 구비한다. 또한, 미국 특허 제5742555호 공보에는, 안티 퓨즈의 예로서 p형 웨이퍼 영역에 산화막을 이용하여 캐페시터를 구성하고, 캐페시터의 웨이퍼 전극에 부전압을, 산화막 상의 플레이트 전극에 정전압을 인가하여

공개특허 특2001-0108118

개인은 산화막을 절연 파괴하는 애가 나타나 있다. 전기 퓨즈를 이용한 반도체 집적 회로에 대해 기재된 그 밖의 문헌으로서, 미국 특허 제5324681호 공보 등이 있다.

그 밖의 프로그램 소자로서 전기적으로 기입 가능하고 소거 가능한 EEPROM이나 플래시 메모리 등의, 프로그램 상태를 기억적으로 변경 가능한 불휘발성 기억 소자가 있다. 미국 특허 제5742555호 공보에는 그와 같은 프로그램 소자를 구비한 DRAM에 대한 기재가 있다.

본 발명자는, 상기 플립 칩형 반도체 집적 회로에 결함 구제, 모드 설정, 그리고 트리밍용으로 프로그램 소자를 탑재하는 것에 대해 검토하였다.

최초로, 검토한 프로그램 소자는 레이저로 용단 가능한 퓨즈이다. 폴리실리콘막을 포함하는 퓨즈(폴리실리콘 퓨즈)는, 이를 들면, 반도체 기판 상의 웰 영역에 설치된 소자 분리 영역의 상부에 장방형으로 형성되며, 그 하나의 단부가 복수 층의 금속 배선을 통해 선텍 트랜지스터의 소스 영역에 접속되고, 다른 단부가 금속 배선을 통해 접지 전위에 접속되어 있다. 상기 폴리실리콘 퓨즈의 상부에는 상기 복수층의 금속 배선간의 층간 절연막 및 패시베이션막이 적층된 후, 레이저광을 조사하기 위한 조사창을 개구하기 위해 상기 적층막을 에칭하여 최종적으로 두께 0.5~1 $\mu$ m의 절연막이 남는다. 이와 같이 구성된 폴리실리콘 퓨즈를 용단(blowing)할 때에는, 상기 절연막을 통해 레이저광이 조사된다. 이를 들면, 폴리실리콘막의 폭이 2 $\mu$ m, 배치 간격이 5 $\mu$ m, 레이저광을 조사하기 위한 조사창이 폭 10 $\mu$ m로 설계되어 있다. 이 때, 잠도 1.5 $\mu$ J, 스폷 직경 6 $\mu$ m의 He-Ne 레이저를 조사함으로써, 폴리실리콘 퓨즈를 용단할 수 있다.

그러나, 종래의 폴리실리콘 퓨즈를 레이저광 조사에 의해 용단하는 방식으로는 이하의 문제점이 있는 것이 본 발명자에 의해 밝혀졌다.

제1 문제점은 상기 레이저광을 조사하기 위해 조사창을 개구하는 처리가 매우 곤란해진다는 것이다. 특히 최근, 급속히 시장이 확대되고 있는 고속 논리 회로나 아날로그 회로를 대용량 DRAM 등과 혼재하는, 소위 시스템 LSI 제품에 있어서는 논리 회로가 5층 이상의 금속 배선층을 필요로 하기 때문에, 폴리실리콘 퓨즈로부터 최상부의 패시베이션막까지의 절연막의 두께가 5 $\mu$ m 이상으로 두꺼워져서, 퓨즈 상부에 두께 0.5 $\mu$ m 정도로 절연막을 남기는 에칭을 웨이퍼 전면에 걸쳐 균일하게 행하는 것이 기술적으로 곤란해진다. 퓨즈 상부의 절연막 두께가 1 $\mu$ m 이상 남은 경우에는, 레이저광의 입사 강도가 약해져 용단이 불충분해진다. 또한, 퓨즈 상부의 절연막 두께가 0.5 $\mu$ m 이하로 얇아진 경우에는, 그 후의 프로세스 처리의 변동에 따라서는 퓨즈 표면이 노출할 위험성이 있어서, 용단되지 않은 퓨즈가 단선하는 불량 발생의 확률이 현저히 높아진다.

제2 문제점은 상기 플립 칩형 반도체 집적 회로에서는 제조 공정의 방식 상, 종래의 레이저광 조사에 의해 퓨즈를 용단하는 것이 불가능해지는 것이다. 종래의 제조 공정에서는 금속 배선층 상부에 수분의 침입을 방지하기 위한 패시베이션막의 형성이 완료된 단계에서, 웨이퍼 상태로 세정실 내에서 행하는 제조 공정이 종료한다. 그 후, 프로브 검사와 구제를 행한 후, 패키지로의 조립이 행해지고, 최종 선별이 실시되고 있다. 한편, 플립 칩형 반도체 집적 회로에서는 제조 비용을 더욱 삭감하기 위해, 패시베이션막 형성 후에, 리드 프레임과 유사한 금속 배선(재배치 배선)의 형성과 땀납 범프 단극의 빠작까지 웨이퍼 상태에서 세정실 내에서 행하는 것이다. 이 플립 칩형 반도체 집적 회로에 있어서, 종래의 레이저광 조사에 의해 퓨즈를 용단하는 방식을 적용하면, 용단된 퓨즈 상부에 리드 프레임과 유사한 재배치 배선을 구성하기 위한 금속 배선의 빠작과 가공이 행해지게 되며, 폴리실리콘 퓨즈의 부식과 부식 부분으로부터의 물의 침입에 의한 신뢰성 저하를 면하지 못한다. 이에 따라, 본 발명자는 플립 칩형 반도체 집적 회로에서는 레이저광 조사에 의해 퓨즈를 용단하는 방식을 대신하는, 전기적으로 프로그램을 행할 수 있는 방식의 필요성을 알아냈다.

제3 문제점은 폴리실리콘 퓨즈가 비교적 큰 레이아웃 면적을 필요로 하는 점이다. 1개의 퓨즈에는 적어도  $5 \times 10 \mu\text{m}^2$ 의 레이아웃 면적이 필요하고, 퓨즈 개수의 상한을 결정하는 큰 요인으로 되어 있다.

공개특허 특2001-0108118

이어서, 프로그램 소자로서, 전기적으로 기입 가능하고 소거 가능한 불휘발성 기억 소자를 채택하는 것에 대해서도 검토하였다. 이에 따르면, 프로그램 소자의 수가 적어도 되는 경우에는 전기적 기입 등을 위한 주변 회로에 의한 칩 점유 면적이 상대적으로 커져서, 면적의 효율성에서 불리한 경우가 있음이 밝혀졌다.

상기 검토 결과에 의해, 본 발명자는 플립 칩형 반도체 집적 회로의 프로그램 소자로서 안티 퓨즈 등의 전기 퓨즈를 채택하는 것에 우위성을 발견하였다. 이 때 또한, 안티 퓨즈에 있어서 절연 파괴를 위한 전압 인가는 반도체 집적 회로의 해소 단계에서만 필요한 처리이므로, 반도체 집적 회로의 대규모화에 따라 다수의 범프 전극을 형성해야 하는 사정 하에 서는, 절연 파괴를 위해 전용 범프 전극을 설치하는 여유가 없는 경우가 있다는 것이 본 발명자에 의해 분명해졌다. 또, 플립 칩형 반도체 집적 회로에서 범프 전극은 회로 기판 실장용의 단자이므로, 그 용력과 왜곡 상태가 직접적으로 칩으로 전달되어야 하며, 그것을 완화시키는 수단의 필요성이 본 발명자에 의해 인식되었다.

본 발명자는 더욱 관점을 바꿔, 플립 칩형 반도체 집적 회로의 본딩 옵션에 대해 검토하였다. 본딩 옵션은 예를 들면, 반도체 집적 회로의 동작 모드 설정용 전극에 할당된 본딩 패드를 부유할지 전원 단자에 접속할지 등에 따라 동작 모드를 결정하도록 한 수법이다. 본딩 옵션에서는, 반도체 칩의 소정의 본딩 패드를 페키지의 어떤 리드 핀에 본딩할지를, 조립 시에 선택하면 된다. 그러나, 플립 칩형 반도체 집적 회로에 있어서 범프 전극은 직접 회로 기판에 실장되는 단자로서, 헤기지의 리드 핀에 상용하며, 웨이퍼 프로세스를 전부 완료한 후에는 이미 본딩 옵션과 같은 처리를 실시하는 것은 물리적으로 불가능하다. 특정한 본딩 패드와 같은 전극 패드에 접속해야 할 범프 전극을 변경하기 위해서는, 웨이퍼 프로세스의 단계에서 상기 소정의 본딩 패드와 같은 전극 패드로부터 범프 전극에 이르는 배선 패턴을 개별로 변경해야 한다. 이에 대해, 본 발명자는 본딩 옵션과 동등한 융통성 혹은 편리한 사용성을 얻기 위해서는, 일단 그와 같은 배선 패턴을 완성시킨 플립 칩형 반도체 집적 회로를 나중에 기능 설정할 수 있도록 하는 것이 필요하다는 것을 알았다.

본 발명의 목적은 프로그램 소자로서 레이저로 용단 가능한 퓨즈를 이용함으로써 현재화되는 신뢰성 저하를 야기하지 않은 플립 칩형 반도체 집적 회로, 그리고 그 제조 방법을 제공하는 것에 있다.

본 발명의 다른 목적은 플립 칩형 반도체 집적 회로의 프로그램 소자의 상태를 전기적으로 변경하기 위해 필요해지는 전극이 그 밖의 용도의 들키기형 전극의 수를 제한하지 않은 반도체 집적 회로를 제공하는 것에 있다.

본 발명의 또 다른 목적은 플립 칩형 반도체 집적 회로에서 들키기형 전극을 통해 반도체 기판에 제공되는 용력과 왜곡 상세를 완화시킬 수 있는 반도체 집적 회로를 제공하는 것에 있다.

본 발명의 또 다른 목적은 기능 설정 등에 대해 본딩 옵션과 동등한 융통성을 용이하게 얻을 수 있는 플립 칩형 반도체 집적 회로, 그리고 그 제조 방법을 제공하는 것에 있다.

본 발명의 그 밖의 목적은 검사 및 프로그램 소자의 상태 변경을 따르는 필요한 기능 선택 및 구제를 능률적으로 행하여 플립 칩형 반도체 집적 회로를 제조할 수 있는 제조 방법을 제공하는 것에 있다.

본 발명의 삼기 및 그 밖의 목적과 신규 특징은 본 명세서의 이하의 기술과 첨부 도면으로부터 분명해질 것이다.

< 발명의 개시 >

본원에서 개시되는 발명 중, 대표적이지만 개요를 설명하면 이하와 같다.

#### 《프로그램 검사와 플립 칩형 반도체 집적 회로》

[1] 프로그램 검사에 주목한 플립 칩형 반도체 집적 회로에 관한 발명에서는, 범프 전극(208)을 설치하지 않은 프로브

공개특허 특2001-0108118

검사에만 이용되는 본딩 페드와 같은 단자(202b)의 바로 상부 혹은 근방에, 제배치 배선층(205) 혹은 범프 전극 하부 금속층(207) 등의 도전층을 이용한 검사 페드(209b)를 설치한다. 범프 전극을 설치하는 본딩 페드와 같은 단자(202a)에 대해서도 동일한 검사 페드(209a)를 설치해도 좋다. 프로보 검사는 이들의 검사 페드를 이용하거나, 상기 검사 페드와 함께 범프 전극 형성 전의 범프 전극 하부 금속을 병용하여 실시한다. 상기에 의해, 검사 페드를 사용함으로써, 프로보 검사 전용 페드를 위한 범프 전극을 추가하지 않아도 좋다. 또한, 본딩 페드와 같은 단자의 근방에 설치되어 범프 전극 하부 금속보다 치수가 작은 검사 페드를 사용함으로써, 제배치 배선 공정 후에 프로보 검사를 실시할 수 있다.

DE 한, 폴리아미드 품의 유기 절연층(204) 상에 제배치 배선(205)과 같은 도전층 및 검사 페드(209a, 209b)를 형성한다.

미유전률이 작아 후막화가 용이한 유기 절연층 상에 검사 페드를 설치함에 따라, 검사 페드와 하부 반도체 회로사이의 캐비시티스를 저감시킬 수 있다. 또, 유기 절연층의 탄성 계수가 비교적 작기 때문에, 검사 페드 표면이 변형되기 쉬워지며, 프로보의 접촉성이 향상된다.

그리고, 제배치 배선 상에 절연층(206)을 형성하고, 그 위에 범프 전극 하부 금속 및 검사 페드를 형성한다. 따라서, 제배치 배선의 상하 2층의 절연층을 적층한 후에 검사 페드를 설치함에 따라, 검사 페드와 하부 반도체 회로사이의 캐비시티스를 저감시키는 것이 가능해진다.

[2] 상기에 대해 더욱 상술하겠다. 상기 검사 페드(209b)를 돌기형 전극(208)과 베타적으로 설치한다. 이에 따라, 회로 기판으로의 실장이라고 하는 의미에서 실용적인 간격에서의 범프 전극의 배치를 최대한으로 용이하게 한다. 즉, 반도체 접착 회로는 반도체 기판과, 상기 반도체 기판 상의 소자 형성층에 형성된 복수의 회로 소자와, 상기 소자 형성층의 표면에 형성되어 소정의 상기 회로 소자에 접속되는 복수의 단자(202a, 202b)와, 상기 복수의 단자 중 일부 단자인 제1 단자(202a)에 각각 접속되어 상기 소자 형성층 상에 연장하는 복수의 도전층(205)과, 상기 도전층에 각각 접속된 돌기형 전극(208)과, 상기 복수의 단자 중 나머지 단자인 제2 단자(202b)의 전부 또는 일부에 각각 접속된 검사 페드(209b)와, 상기 돌기형 전극 및 검사 페드를 노출시켜 표면을 피복하는 절연막(206)을 포함한다.

상기에 있어서, 돌기형 전극(208)을 구비한 단자(202a)에 대해서도 검사 페드(209a)를 추가할 수 있다. 웨이퍼 프로보 검사용 검사 페드(209a, 209b)만을 이용하여 용이하게 행할 수 있다.

상기 도전층을 상기 단자의 배열에 대한 돌기형 전극의 제배치용 배선(205)으로서 이용하는 경우, 상기 도전층 상하로 상기 절연막(204, 206)이 배치된다. 절연막은 플립 칩형 반도체 접착 회로에서 돌기형 전극이나 검사 페드를 통해 반도체 기판에 제공되는 응력과 왜곡 상태를 완화시킨다. 특히, 폴리아미드막, 불소 수지막, 또는 실리콘 혹은 아크릴제 고무 재료를 포함하는 엘라스토머막 등의 유기 물질을 포함하는 막을 상기 절연막으로서 채택하면, 그 막은 산화 실리콘막 등의 절연막에 비교하여 탄성 계수가 비교적 작기 때문에, 응력과 왜곡 상태의 완화에 적합하다.

상기 검사 페드는 대용하는 상기 단자의 바로 상부에 배치할 수 있다. 또한, 반도체 기판의 중앙부에 상기 검사 페드를 규칙적으로 배치하며, 상기 검사 페드의 외측에 상기 돌기형 전극을 규칙적으로 배치할 수 있다. 또한, 상기 절연막 상에 상기 검사 페드를 연장시키는 것도 가능하다.

[3] 상기 검사 페드를 돌기형 전극과 베타적으로 설치한 구조의 반도체 접착 회로의 제조 방법은 반도체 웨이퍼 상의 소자 형성층에 필요한 회로를 구성함과 함께, 상기 소자 형성층 표면에 상기 소정의 회로 소자에 접속된 복수의 단자(202a, 202b)를 형성하여 복수의 도전층(205)을 상기 복수의 단자 중 일부 단자인 제1 단자(202a)에 각각 접속되게 하고 상기 소자 형성층 상에 복수의 도전층(205)을 연장시키는 제1 공정(도 37~도 40)과, 상기 연장된 도전층에 접속하는 돌기형 전극(208)을 형성하는 제2 공정(도 43)과, 상기 복수의 단자 중 나머지 단자인 제2 단자(202b)의 전

공개특허 특2001-0108118

부 5는 일부에 검사 패드(209b)를 각각 접속시켜 상기 검사 패드(209b)를 형성하는 제3 공정(도 41)과, 상기 소자 면접증에 병설된 상기 필요한 회로를 검사하는 제4 공정(도 42)과, 번인(burn in)을 행하는 제5 공정(도 58의 S9)과, 상기 웨이비를 다이싱하는 제6 공정(도 58의 S8)을 포함한다.

돌기형 전극(208)을 구비한 단자(202a)에 대해서도 검사 패드(209a)를 추가하는 경우에는 상기 제3 공정은 제2 단자의 전부 또는 일부와 상기 제1 단자의 전부 또는 일부에 각각 접속시켜 검사 패드를 형성하는 처리가 된다.

번인은 돌기형 전극 형성 후 다이싱하고나서 행하거나, 그 반대로 번인 후 돌기형 전극을 형성하여 다이싱을 행해도 좋다. 전자에서는, 플립 칩형 반도체 접적 회로와 마찬가지로 외부 접속 전극이 영역 어레이형으로 맵핑된 BGA(블 그리드 어레이)의 반도체 접을 위해 준비되어 있는 번인용 소켓을 유용할 수 있거나, 돌기형 전극의 영역 어레이형의 배열을 기준의 번인용 소켓의 단자 배열에 맞춤에 따라 특별한 사양의 번인용 소켓을 새로이 준비하지 않아도 되며, 접 단위에서의 번인을 용이하게 행할 수 있으며, 또한 검사 비용의 저감에도 기여한다. 후자는, 프로브 검사 뿐만 아니라, 번인도 검사 패드, 혹은 검사 패드와 돌기형 전극 하부 금속을 이용하여 행할 수 있다. 따라서, 고온 하에서 소켓에 접촉함으로써 맵핑 범프 전극과 같은 돌기형 전극이 변형되는 것을 방지할 수 있다.

#### «프로그램 소자와 플립 칩형 반도체 접적 회로»

141 본 발명에서는 플립 칩형 반도체 접적 회로에 전기 퓨즈와 같은 프로그램 소자(1)를 채택한다. 즉, 반도체 접적 회로는 반도체 기판(10)과, 상기 반도체 기판 상의 소자 형성층(반도체 영역, 배선층 및 절연층을 포함하는 회로 소자 형성 영역)에 형성된 복수의 회로 소자(1, 2)와, 상기 소자 형성층의 표면에 형성되어 소정의 상기 회로 소자에 접속되는 복수의 단자(86, 87, 88, 89)와, 소정의 상기 단자(86, 87, 88, 89)에 접속되어 상기 소자 형성층 상으로 연장되는 도전층(90)과, 상기 도전층에 접속된 돌기형 전극(93)을 구비한다. 이 때, 상기 회로 소자 중 적어도 하나로서 전류 경로에 소정의 전위자가 형성될으로써 상기 전류 경로의 고저항 상태 또는 저저항 상태를 불가역적으로 변화시키는 프로그램 소자(1)를 갖고, 상기 단자 중 적어도 하나는 상기 전위차를 형성하기 위한 전압의 입력 단자(86, 87)로 한다.

상기된 바와 같이, 프로그램 소자로서 레이저로 용단 가능한 퓨즈를 이용함으로써 현재화되는 신뢰성의 저하를 전혀 발생시키지 않는다.

상기 도전층을 상기 단자의 배열에 대한 돌기형 전극의 제배치용 배선(205)으로서 이용하는 경우, 상기 도전층 상하에는 적어도 상기 돌기형 전극을 노출시켜 표면을 피복하는 절연막(204, 206)을 배치할 수 있다. 그와 같은 절연막에 의해, 플립 칩형 반도체 접적 회로에서 돌기형 전극(209)을 통해 반도체 기판에 제공되는 용력과 왜곡 상태를 완화시킬 수 있다. 특히, 유기 물질을 포함하는 폴리이미드막 또는 엘라스토머 등의 막을 상기 절연막으로서 채택하면, 그 막은 산화 실리콘 등의 절연막에 대해 탄성 계수가 비교적 작기 때문에, 용력과 왜곡 상태의 완화에 우수하다.

반도체 접적 회로는 상기 단자에 접속하여 상기 절연막으로부터 노출하는 패드 전극(90, 90a)을 더욱 구비할 수 있다. 이 패드 전극은 프로브 검사를 위한 검사 패드 등에 이용할 수 있다.

상기 프로그램 소자에 소정의 전위차를 형성하기 위한 전압 인가로는 상기 패드 전극 중 일부의 패드 전극(90a)을 이용할 수 있다. 프로그램 소자를 프로그램한 후, 상기 패드 전극(90a)을 부유해 두면 되는 회로 구성인 경우에는, 상기 패드 전극(90a)에는 돌기형 전극을 할당하지 않아도 좋다. 따라서, 플립 칩형 반도체 접적 회로의 프로그램 소자의 상태를 전기적으로 변경하기 위해 필요해지는 전극이 그 밖의 용도의 돌기형 전극의 수를 제한하지 않는다. 이에 대해, 프로그램 소자를 프로그램한 후, 상기 패드 전극(90a)을 접지 전위(V<sub>ss</sub>) 또는 전원 전압(V<sub>cc</sub>)에 강제해야하는 회로 구

공개특허 특2001-0108118

상인 경우에는, 상기 페드 전극(90a)에는 둘기형 전극(93a)을 할당하고, 기판 실장시에 상기 둘기형 전극(93a)을 배신 기판 상의 접지 진위(Vss) 또는 전원 전압(Vcc)의 전원 배선에 접속해 두면 좋다.

상기 프로그램 소자에 소정의 전위차를 형성하기 위한 전압이 프로그램 소자 외의 회로의 동작 전원 전압과 상이한 전압인 경우에는, 상기 프로그램용 전압의 인가 전극을 복수의 프로그램 소자에 공통화하면 좋다.

상기 프로그램 소자에는, 전기적인 절연 파괴에 의해 고저항 상태로부터 저저항 상태로 변화되는 전기 퓨즈를 채택할 수 있다. 예를 들면, 프로그램 소자의 상기 전류 경로는 상기 고저항 상태에서 절연막이 충전되며, 상기 저저항 상태에서 절연막이 파괴되고 있다.

상기 절연막의 파괴는, 상기 전류 경로의 하나의 단부로의 정전압(VDD) 인가와, 다른 단부로의 부전압(Vbb') 인가에 의해 행할 수 있다. 이에 따라, 프로그램 소자에는 소정의 전위차로서 고압을 얻을 수 있어서, 회로의 접지 전압(Vss)을 기준으로 한 절대적인 전압은 거의 통상의 동작의 전압으로 억제하는 것이 가능해진다. 이 경우에, 상기 부전압은 상기 전위자를 형성하기 위한 소정의 전압 인가에 이용되는 상기 둘기형 전극 또는 페드 전극으로부터 각 프로그램 소자에 공유으로 공급하면 좋다. 또는, 칩 외부로부터 공급되는 정전압(VDD) 및 접지 전압(GND)에 기초하여 칩 내부에서 형성되는 내부 전압을 프로그램 소자에 제공해도 좋다. 예를 들면, 상기 내부 전압으로는, 상기 VDD보다 큰 고압 전압(VCH) 또는 부전압(Vbb')이 있다. 프로그램 소자에 대한 프로그램의 유무는 프로그램 소자의 반대측 인가 전압을, 어드레스 신호 등을 이용하여 제어하면 좋다.

상기 프로그램 소자는 불량한 것을 구제하는 ?d1020010108117?이용할 수 있다. 즉, 상기 회로 소자로 구성된 정규 회로와, 불량의 상기 정규 회로를 대체하는 것으로 상기 회로 소자로 구성되어 구체 회로를 갖고, 상기 프로그램 소자를 구체 회로로 치환되어야하는 정규 회로를 특정하기 위한 구체 정보의 기억 수단(160)에 채택할 수 있다. 예를 들면, 상기 정규 회로는 메모리 셀이고, 상기 구체 회로는 중복 메모리 셀이고, 상기 프로그램 소자에 의해 기억된 구체 정보와 상기 메모리 셀의 액세스 어드레스 신호를 비교하는 것으로 상기 회로 소자로 구성된 비교 회로(161)와, 상기 비교 회로의 일치에 응답하여 상기 메모리 셀의 선택을 대신하여 상기 중복 메모리 셀을 선택 가능하게 하며, 상기 비교 회로의 불일치에 응답하여 상기 메모리 셀을 선택 가능하게 하는 것으로써 상기 회로 소자로 구성된 선택 회로(106XD)를 구비한다.

상기 프로그램 소자는 반도체 접착 회로의 기능 선택에 이용할 수 있다. 즉, 상기 프로그램 소자를, 상기 반도체 접착 회로의 동작 모드를 절정하기 위한 동작 모드 지정 정보의 기억 수단(AF0~AF2)으로서 채택할 수 있다. 이에 따라, 풀립 워크 반도체 접착 회로에서, 둘기형 전극을 형성한 후라도 기능 선택 혹은 동작 모드 선택이라고 하는 점에서 본당 유선과 별도 이상의 유통성을 간단하게 얻을 수 있다.

상기 프로그램 소자는 반도체 접착 회로에 내장된 소정의 회로 특성을 선택하기 위한 트리밍 정보의 기억 수단(AF10~AF12)으로서 채택할 수 있다. 예를 들면, 반도체 접착 회로는 저항 분압 회로(183)를 갖고, 상기 프로그램 소자에 기억된 트리밍 정보는, 상기 저항 분압 회로에서 생성되는 분압 전압을 선택한다.

[5] 풀립 워크 반도체 접착 회로에 전기 퓨즈와 같은 프로그램 소자를 채택한 반도체 접착 회로의 제조 방법은 반도체 웨이퍼 상의 소자 형성층에 필요한 회로를 구성함과 함께 상기 회로에는 전류 경로에 소정의 전위차가 형성됨으로써 상기 전류 경로의 고저항 상태 또는 저저항 상태를 불가역적으로 변화되는 프로그램 소자를 적어도 포함하며, 상기 회로에 접속하는 복수의 단자를 상기 소자 형성층의 표면에 형성하는 제1 공정과, 상기 복수의 단자 중 일부에 대응하는 실간 접속용의 여러개의 둘기형 전극을 형성하는 제2 공정(S7)과, 상기 회로를 검사하는 제3 공정(S5)과, 상기 제3 공정에 의한 검사 결과에 따라 접합 부분을 구체 회로로 대체하는 제4 공정(S6)과, 번인을 행하는 제5 공정(S9)과, 상기 웨이퍼를 다이싱하는 제6 공정(S8)을 포함한다. 그리고, 상기 프로그램 소자의 상태를 불가역적으로 변화시켜 상기 회

공개특허 특2001-0108118

로의 기능을 선택하는 제7 공정(S4)을 포함한다. 상기 프로그램 소자에는 상기 절연 파괴형의 전기 퓨즈(1)를 이용할 수 있다.

상기된 바에 따라, 레이저로 용단 가능한 퓨즈를 프로그램 소자로서 이용하지 않고, 반도체 집적 회로의 기능 선택이 가능하다. 이에 따라, 기능 선택이 실시되어 제조된 플립 칩형 반도체 집적 회로의 수율 향상 및 신뢰성 향상에 기여할 수 있다.

상기 프로그램 소자에 의한 기능 선택을 상기 둘기형 전극의 형성 전에 행할 수 있다. 즉, 상기 제7 공정(S4) 후에 상기 제2 공정(S7)을 행한다. 둘기형 전극을 형성한 후에는 웨이퍼 상에 적어도 요철이 생긴다. 둘기형 전극 형성 전에 기능 선택을 행하면, 그로 인한 프로그램 소자로의 전압 인가용 페드 혹은 단자에 대한 프로브의 접촉이 용이하여, 기능 선택의 작업 능률을 향상시킬 수 있다.

상기된 바와 반대로, 상기 프로그램 소자에 의한 기능 선택(S4)을 상기 둘기형 전극의 형성(S7) 후에 행할 수 있다. 이 경우에는, 기능 선택을 위해 프로그램 소자로 전압을 인가하기 위한 전극을 둘기형 전극과 마찬가지로 반도체 집적 회로의 표면에 노출시켜 둘 필요가 있다. 단, 기능 선택에 따르는 처리를 제외하고는 웨이퍼 공정의 대부분을 끝낸 상태에서 반도체 집적 회로를 재고(stock)할 수 있으므로, 재고 관리가 용이하다.

상기 전함 부분을 구제 회로로 대체하는 상기 제4 공정(S6)에 있어서, 상기 치환은 상기 프로그램 소자의 상태를 불가역적으로 변화시켜 행할 수 있다. 이 때, 기능 선택(S4), 검사(S5), 및 구제(S6)의 각 공정은 1 회로의 프로빙(prob ing) 처리로 끝낼 수 있다. 즉, 상기 제3 공정, 상기 제4 공정 및 상기 제7 공정을 연속적으로 행하고, 각 공정에는 필요에 따라 상기 단자 또는 둘기형 전극에 대한 프로빙 처리를 포함한다. 기능 선택(S4), 검사(S5), 및 구제(S6)의 각 공정 후에 둘기형 전극을 형성(S7)하면, 프로그램 소자로의 전압 인가용 페드 혹은 단자에 대한 프로브의 접촉이 용이 하며, 기능 선택은 원래부터 검사 및 구제의 작업 능률도 향상시킬 수 있다.

상기 번인을 행하는 제5 공정(S9) 후에 제2 공정에 의해 둘기형 전극을 형성(S7)하면, 고온 환경 하에서의 둘기형 전극의 번임을 고려하지 않아도 되므로, 그 점에서 번인을 용이하게 행할 수 있다.

[6] 플립 칩형 반도체 집적 회로에서의 결함 부분을 구제 회로로 대체하는 것에 주목했을 때, 반도체 집적 회로의 제조 방법은 반도체 웨이퍼 상의 소자 형성층에 필요한 회로를 구성함과 함께, 상기 회로에는 전류 경로에 소정의 전위차가 형성됨으로써 상기 전류 경로의 고저항 상태 또는 저저항 상태가 불가역적으로 변화되는 프로그램 소자를 적어도 포함하고, 상기 회로에 접속하는 복수의 단자를 상기 소자 형성층의 표면에 형성하는 제1 공정과, 상기 복수의 단자 중 일부에 대응하는 실장 접속층의 복수개의 둘기형 전극을 형성하는 제2 공정(S7)과, 상기 회로를 검사하는 제3 공정(S5)과, 상기 제3 공정에 의한 검사 결과에 따라 결함 부분을 구제 회로로 대체하는 제4 공정(S6)과, 번인을 행하는 제5 공정(S9)과, 상기 웨이퍼를 다이싱하는 제6 공정(S8)을 포함하고, 상기 제4 공정(S6)은 상기 프로그램 소자의 상태를 불가역적으로 변화시켜 상기 치환을 행하는 공정이 된다. 상기 제4 공정에서는 예를 들면, 상기 복수의 단자 중 상기 프로그램 소자에 접속되어 있는 소정의 단자에 상기 전류 경로에 소정의 전위차를 형성하기 위한 전압을 인가한다. 프로그램 소자는 이를 들면, 상기 절연 파괴형의 전기 퓨즈가 된다.

상기된 바에 따라, 레이저로 용단 가능한 퓨즈를 프로그램 소자로서 이용하지 않고, 반도체 집적 회로의 결함 구제가 가능하다. 이에 따라, 구제가 실시되어 제조된 플립 칩형 반도체 집적 회로의 수율 향상 및 신뢰성 향상에 기여할 수 있다.

이상과 같은 한 설명

도 1은 본 발명에 따른 반도체 집적 회로에 이용되고 있는 안티 퓨즈 회로의 일례를 나타내는 회로도.

공개특허 특2001-0108113

도 2는 도 1의 안티 퓨즈 회로를 구성하는 회로 소자의 디바이스 구조의 일례를 나타내는 종단면도.

도 3은 기판 케이트 용량을 이용한 안티 퓨즈의 레이아웃의 일례를 나타내는 평면도.

도 4는 도 2의 선택 트랜지스터 및 안티 퓨즈를 구성하기 위한 최초의 제조 공정에서의 상태를 나타내는 종단면도.

도 5는 도 4에 계속되는 다음 제조 공정을 나타내는 종단면도.

도 6은 도 5에 계속되는 다음 제조 공정을 나타내는 종단면도.

도 7은 도 6에 계속되는 다음 제조 공정을 나타내는 종단면도.

도 8은 안티 퓨즈의 절연 파괴 동작 시에서의 전압 인가 조건의 일례를 나타내는 설명도.

도 9는 안티 퓨즈의 절연 파괴 시에서의 전압 전류 특성의 일례를 나타내는 특성도.

도 10은 도 1의 구성에 대해 선택 트랜지스터의 보호 저항과 래치 업 방지 저항을 추가한 안티 퓨즈 회로의 회로도.

도 11은 도 10의 회로에서 안티 퓨즈를 절연 파괴할 때의 전압 인가 조건과 안티 퓨즈 주위의 디바이스 단면 구조를 예시하는 종단면도.

도 12는 본 발명에 따른 반도체 집적 회로의 다른 예인 플립 칩형 DRAM의 DRAM 칩을 나타내는 평면도.

도 13은 도 12의 DRAM 칩을 이용하여 플립 칩형 DRAM을 얻을 때에 최초 제조 공정에서의 칩 평면도.

도 14는 도 13에 계속되는 다음 제조 공정에서의 칩 평면도.

도 15는 도 14에 계속되는 다음 제조 공정에서의 칩 평면도.

도 16은 도 15에 계속되는 다음 제조 공정에서의 칩 평면도.

도 17은 도 12의 플립 칩형 DRAM에서의 안티 퓨즈 회로의 주요부의 종단면도.

도 18은 본 발명의 반도체 집적 회로의 제3 예에 따른 플립 칩형 시스템 LSI의 기능 블록도.

도 19는 도 18에서의 안티 퓨즈 회로와 논리 회로 및 외부 입출력 회로의 디바이스 구조의 종단면도.

도 20은 도 18의 플립 칩형 시스템 LSI에 내장된 DRAM(106)의 일례 블록도.

도 21은 구체 어드레스 기억 회로에 이용되는 1 비트분의 안티 퓨즈 회로의 일례를 나타내는 회로도.

도 22는 도 21의 안티 퓨즈 회로를 이용한 구체 어드레스 기억 회로의 일례를 나타내는 회로도.

도 23은 안티 퓨즈를 절연 파괴할 때의 동작의 일례를 나타내는 타이밍차트.

도 24는 침출 신호를 판독하는 동작의 일례를 나타내는 타이밍차트.

도 25는 도 22에서의 트랜지스터, 안티 퓨즈의 디바이스 단면의 일례를 나타내는 종단면도.

도 26은 어드레스 비교 회로의 일례를 나타내는 논리 회로도.

공개특허 등2001-0108118

도 27은 본딩 옵션의 일례를 나타내는 설명도.

도 28은 입력 보호 회로 및 초단 입력 회로의 일례를 나타내는 회로도.

도 29는 본딩 옵션 관정 회로의 일례를 나타내는 논리 회로도.

도 30은 본딩 옵션으로 설정 가능한 동작 모드를 정리하여 나타낸 설명도.

도 31은 안티 퓨즈 회로를 이용하여 본딩 옵션과 동등한 기능 선택을 가능하게 하는 구성을 나타내는 블록도.

도 32는 도 31의 안티 퓨즈에 의해 설정 가능한 동작 모드를 정리하여 나타내는 설명도.

도 33은 안티 퓨즈를 채택한 트리밍 설정 회로의 일례를 나타내는 회로도.

도 34는 트리밍 디코더의 논리 구성의 일례를 나타내는 논리 회로도.

도 35는 플립 칩형 DRAM의 일례 평면도.

도 36은 도 35의 일부분을 확대하여 표면의 절연층을 제거하여 제배치 배선의 배치가 보이도록 나타낸 평면도.

도 37은 도 35의 플립 칩형 DRAM의 제조 공정에서의 최초 상태를 나타내는 종단면도.

도 38은 도 37에 계속되는 제조 공정에서의 종단면도.

도 39는 도 38에 계속되는 제조 공정에서의 종단면도.

도 40은 도 39에 계속되는 제조 공정에서의 종단면도.

도 41은 도 40에 계속되는 제조 공정에서의 종단면도.

도 42는 도 41에 계속되는 제조 공정에서의 종단면도.

도 43은 도 42에 계속되는 제조 공정에서의 종단면도.

도 44는 64배가 비트싱크로너스 DRAM 칩에서의 본딩 페드 수와 패키지에 있어서의 외부 단자 수와의 비교를 나타내는 설명도.

도 45는 플립 칩형 DRAM에서의 제배치 배선 부분의 다른 구조를 나타내는 단면도.

도 46은 검사 페드의 레이아웃 구성의 다른 예를 나타내는 평면도.

도 47은 도 46의 레이아웃 구성에서의 단면 구조의 일례를 나타내는 종단면도.

도 48은 검사 페드의 단면 구조의 또 다른 예를 나타내는 종단면도.

도 49는 검사 페드의 레이아웃 구성의 또 다른 예를 나타내는 평면도.

도 50은 도 49의 레이아웃 구성에서의 단면 구조의 일례를 나타내는 종단면도.

도 51은 도 50의 검사 전용 본딩 페드에만 검사 페드를 설치한 레이아웃 구성의 평면도.

공개특허 등 2001-0108118

도 52는 검사 페드의 또 다른 구조를 나타내는 종단면도.

도 53은 품매의 와이어 본딩 접속용 웨이퍼의 완성 단계를 나타내는 사시도.

도 54는 도 53에 계속되는 범프 전극 하부 금속 형성 상태를 나타내는 사시도.

도 55는 도 54에 계속되는 프로브 검사 공정을 나타내는 사시도.

도 56은 도 55에 계속되는 맵집 범프 전극 형성 공정을 나타내는 사시도.

도 57은 도 56에 계속되는 개편 절단 공정을 나타내는 사시도.

도 58은 본 발명의 플립 접형 반도체 접착 회로의 재배치 배선 형성 공정 이후의 제조 공정 플로우를 도 58의 (a), 도 58의 (b), 도 58의 (c), 도 58의 (d) 4가지로 나타내는 플로우차트.

도 59는 도 58의 각 제조 공정 플로우에서의 프로브 검사, 번인, 최종 검사의 각 검사 공정에서의 프로브, 소켓 등의 접착 캐소를 나타낸 설명도.

< 발명을 실시하기 위한 최량의 형태>

#### 《안티 퓨즈 회로》

도 1에는 본 발명에 따른 반도체 접착 회로에 이용되고 있는 안티 퓨즈 회로의 일례가 나타내어진다. 도 1에서 참조 번호(1)로 나타내는 회로 소자는 프로그램 소자의 일레인 절연 파괴형 전기 퓨즈로서의 안티 퓨즈이다. 이 안티 퓨즈(1)는, 다른 주변 트랜지스터와는 전기적으로 분리된 기판 전압  $V_{bb}$ 가 인가되는 반도체 영역에 형성된 소위 기판 게이트 용량에 의해 구성된다. 이 안티 퓨즈(1)의 게이트 용량 전극이 소스 단자에 접속되며, 드레인 단자에 파괴용 전압  $V_D$ 가 인가되며, 게이트 전극으로 파괴 제어 신호  $V_g$ 가 인가되는 선택 트랜지스터(2)가 설치되어 있다. 기판 게이트 용량으로서의 안티 퓨즈(이하 기판 게이트 용량이라고도 칭함: 1)는, 예를 들면, 하이 레벨의 파괴 제어 신호  $V_g$ 에 의해은 상태가 된 선택 트랜지스터(2)를 통해 안티 퓨즈(1)의 게이트 용량 전극으로 파괴 전압  $V_D$ 가 인가되어, 기판측으로부터 기판 전압  $V_{bb}$ 가 인가된다. 안티 퓨즈(1) 양단에 인가된 전위차에 의해 안티 퓨즈(1)의 게이트 절연막과 같은 절연막이 파괴되고, 안티 퓨즈(1)는 고저항 상태로부터 저저항 상태로 변화된다.

도 1의 구성이 메모리 등의 불량 비트의 구체에 적용되는 경우, 특별히 제한되지 않았지만, 상기 선택 트랜지스터(2)의 소스는 셀렉터(3)의 선택 단자에 결합된다. 이 셀렉터(3)에는 메모리 액세스 시에서의 어드레스 신호의 대응 비트  $A_i$ 와 그 반전 신호  $A_i\bar{B}$ 가 입력된다. 예를 들면, 상기 파괴 신호  $V_g$ 의 논리치는 어드레스 비트  $A_i$ 의 반전 신호  $A_i\bar{B}$ 와 동일한 논리치를 구비한다. 셀렉터(3)는 선택 단자의 입력이 로우 레벨(논리치 "0")일 때 반전 신호  $A_i\bar{B}$ 를 선택하여 출력하고, 선택 단자의 입력이 하이 레벨(논리치 "1")일 때 어드레스 비트  $A_i$ 를 선택하여 출력한다. 따라서, 논리치 "1"의 파괴 신호  $V_g (= A_i\bar{B})$ 에 의해 안티 퓨즈(1)가 파괴될 때, 셀렉터(3)의 선택 단자는 논리치 "0"이 되며, 이에 따라 셀렉터(3)는 대응 어드레스 비트  $A_i$ 의 반전 신호  $A_i\bar{B}$ 를 출력한다. 파괴 신호  $V_g (= A_i\bar{B})$ 가 논리치 "0"인 경우에는 안티 퓨즈(1)는 파괴되지 않고, 셀렉터(3)의 선택 단자는 논리치 "1"이 되며, 이에 따라 셀렉터(3)는 대응 어드레스 비트  $A_i$ 를 출력한다. 환언하면, 어드레스 비트  $A_i$ 의 논리치가 파괴 신호  $V_g (= A_i\bar{B})$ 의 논리치와 일치하면, 셀렉터(3)의 출력은 논리치 "1"이 된다.

상기 도 1의 1 비트의 구성을 복수 비트분 이용함으로써, 복수 비트의 안티 퓨즈(1)에, 구제해야 할 불량 어드레스를 프로그램할 수 있다. 즉, 구제해야 할 불량 어드레스의 각 비트의 반전 신호를 각 비트의 파괴 신호  $V_g$ 로서 안티 퓨즈

공개특허 등2001-0108118

(1)와 프로그램을 행한다. 상기 안티 퓨즈의 프로그램 처리를 끝낸 메모리의 액세스 어드레스가 상기 구제해야 할 불량 어드레스와 동일할 때, 각 비트의 셀렉터(3)의 출력은 모두 논리치 "1"이 된다. 프로그램된 메모리의 액세스 어드레스가 상기 구제해야 할 불량 어드레스에 대해 1비트라도 상이하면, 적어도 하나의 셀렉터(3)의 출력은 논리치 "0"이 된다. 이 상태를 도시가 생략된 마이너스 논리곱 게이트(NAND 게이트 : NAND)로 검출함으로써, 구제해야 할 어드레스에 대한 액세스를 검출할 수 있다. 이에 따라, 불량 비트를 대신하여 구제용의 용장 비트를 선택하기도 한다.

도 2에는 도 1의 안티 퓨즈 회로를 구성하는 회로 소자의 단면 구조의 일례가 나타내어진다. 제1 도전형(예를 들면, p형)의 반도체 기판(10)의 표면 영역에, 제2 도전형(예를 들면, n형)이 깊은 웨 영역(11)이 형성되며, 그 제2 도전형이 깊은 웨 영역(11)의 내부에 제1 도전형이 얕은 웨 영역(13)이 형성되어 있다. 상기 제2 도전형이 깊은 웨 영역(11)의 외부에는 제1 도전형이 얕은 웨 영역(12)이 형성되며, 그 제1 도전형이 얕은 웨 영역(12)의 표면 영역에 소자 분리 영역(14)에 의해 분리된, 제2 도전형의 드레인 영역(18), 제2 도전형의 소스 영역(19), 게이트 산화막(15), 및 게이트 전극(17)을 포함하는 선택 트랜지스터(2)가 구성되어 있다. 상기 제1 도전형이 얕은 웨 영역(13)의 표면 영역에는 소자 분리 영역(14)에 의해 분리되어, 게이트 용량 산화막(16), 게이트 용량 전극(17), 및 제1 도전형의 기판 접속 확산층(20)을 포함하는 안티 퓨즈(1)를 구비한다. 상기 게이트 용량 전극(17)은 상기 선택 트랜지스터(2)의 제2 도전형의 소스 영역(19)에 접속되며, 또한 상기 선택 트랜지스터(2)의 제2 도전형의 드레인 영역(18)에는 파괴용 전압 VDD가 인가되며, 상기 제1 도전형의 기판 접속 확산층(20)에는 상기 기판 전압 Vbb'가 인가된다.

본 발명의 반도체 장치에서는, 그 기판 게이트 용량의 게이트 파괴 내압을 BVg, 그 선택 트랜지스터의 임계 전압을 VthS로 하되,

파괴 신호,  $V_g > BVg$

의 조건부로,

$VDD + Vbb' > BVg$

예, 혹은 바람직하게는

$|VDD| \sim |Vbb'| > BVg/2$

로 설정된다.

상기 안티 퓨즈(1)에 의하면, 종래의 퓨즈를 용단하기 위한 레이저광의 조사에 관계되는 상술된 문제점을 해소할 수 있다. 즉, 단속 배선층이 5층 이상인 경우에도 조사창의 개구가 불필요하다. 또한, 퓨즈의 상태 변경은 전기적인 프로그램으로 행하기 때문에, 그 상세한 내용은 후술하는 플립 칩형 반도체 집적 회로와 같은 프로세스 방식에서도, 신뢰성을 저하시키는 문제는 아무것도 발생하지 않는다. 또한,  $0.5\mu m$  프로세스 기술을 이용해도, 기판 게이트 용량은  $3 \times 3\mu m^2$  이하로 레이아웃할 수 있기 때문에, 레이저 용단 형식에 비교하여 레이아웃 면적을 1/5 이하로 할 수 있고, 퓨즈 개수의 증가에도 대응 가능해진다.

도 3에는 기판 게이트 용량을 이용한 상기 안티 퓨즈의 평면 레이아웃으로 하여, 2개분의 상기 안티 퓨즈(1)의 레이아웃이 나타나 있다. p형 반도체 기판 상에 깊은 n형 웨 영역을 형성하기 위한 폐던(21), 얕은 p형 웨 영역을 형성하기 위한 폐던(22)이 형성되어 있다. 폐던(23)은 그 구형의 외측에 소자 분리 영역을 정의한다. 폐던(24)은 선택 트랜지스터(2)의 게이트 전극(17) 및 안티 퓨즈(1)의 게이트 용량 전극(17)을 정의하기 위한 예를 들면, 폴리실리콘층을 포함한다. 참조 번호 25는 컨택트 홀을 형성하기 위한 폐던, 참조 번호 26, 27은 제1 금속 배선층을 형성하기 위한 폐던이다. 참조 번호 31은 선택 트랜지스터(2)의 n형 드레인 영역(18, 32)은 n형 소스 영역(19, 33)은 p형 확산층, 참조 번호 34는 p형 기판 접속 확산층이다.

공개특허 특2001-0108118

도 1로부터 도 7에는, 도 2의 선택 트랜지스터(2) 및 안티 퓨즈(1)(기판 게이트 용량)의 구성을 얻기 위한 각 제조 공정마다의 단면도를 나타내고 있다.

우선, 도 1에 도시된 바와 같이 저항률  $10\Omega \text{ cm}$ 의 p형 실리콘 기판(10) 상에, 깊이  $0.3\mu\text{m}$ 의 홈형 소자 분리 영역(14)을 형성한 후, 이은 주입법에 따라 가속 에너지  $1000\text{keV}$ 의 인(P+) 이온을 도우즈량  $1 \times 10^{13} / \text{cm}^2$  주입하여 깊은 n형 웰(11)을 형성한다. 그리고, 가속 에너지  $350\text{keV}$ 의 B+ 이온을 도우즈량  $1 \times 10^{12} / \text{cm}^2$ 와 가속 에너지  $150\text{keV}$ 의 붕소(B+) 이온을 도우즈량  $2 \times 10^{12} / \text{cm}^2$  및 가속 에너지  $50\text{keV}$ 의 BF<sub>2</sub>+이온을 도우즈량  $5 \times 10^{12} / \text{cm}^2$  주입하여 얕은 p형 웰(12, 13)을 형성한다. 그 후, 온도  $850^\circ\text{C}$ 의 열 산화법에 따라 막 두께  $7\text{nm}$ 의 고내압계 게이트 산화막(41)을 성장시킨다. 기판 게이트 용량이 형성되는 영역만을 개구한 두께  $1\mu\text{m}$ 의 레지스트막(42)을 통상의 리소그래피법에 따라 형성한 후, 웨트 에칭법에 따라 기판 게이트 용량이 형성되는 영역의 상기 고내압계 게이트 산화막(41)을 제거한다.

이어서, 도 5에 도시된 바와 같이 상기 레지스트막(42)을 애칭법에 따라 제거하고, 세정을 행한 후, 온도  $850^\circ\text{C}$ 의 열 산화법에 따라 막 두께  $4.5\text{nm}$ 의 저내압계 게이트 산화막(16)을 성장시키고, 동시에 세정과 산화가 추가되어 막 두께  $8\text{nm}$ 로 증가한 고내압계 게이트 산화막(15)을 형성한다. 그 후, 온도  $600^\circ\text{C}$ 의 CVD법(화학 기상 성장법: Chemical Vapour Deposition)에 의해 피착하고, 이은 주입법에 따라 가속 에너지  $20\text{keV}$ 의 P+ 이온을 도우즈량  $4 \times 10^{15} / \text{cm}^2$  주입한 막 두께  $200\text{nm}$ 의 플리실리콘막을 포함하며, 통상의 리소그래피법에 따라 가공한 게이트 전극(17)을 형성하고, 가속 에너지  $20\text{keV}$ 의 아소(As+) 이온을 도우즈량  $2 \times 10^{15} / \text{cm}^2$ 를 주입하여 n형 드레인 영역(18)과 n형 소스 영역(19)을 형성하고, 또한 가속 에너지  $10\text{keV}$ 의 B+ 이온을 도우즈량  $2 \times 10^{15} / \text{cm}^2$ 를 주입하여 p형 기판 접속 확산층(20)을 형성한다.

또한, 도 6에 도시된 바와 같이 온도  $700^\circ\text{C}$ 의 CVD법에 따라 피착하고, 애치백법에 따라 가공한 막 두께  $100\text{nm}$ 의 산화막을 포함하는 사이드 스페이서(43)를 형성하고, 기판 상 및 게이트 전극 상에 막 두께  $40\text{nm}$ 의 Co 실리사이드막(44)을 성장시킨 후, 온도  $400^\circ\text{C}$ 의 CVD법에 따라 두께  $100\text{nm}$ 의 실리콘 질화막(45)을 피착한다.

마지막으로, 도 7에 도시된 바와 같이 CVD법에 따라 피착하고, CMP 법(화학적 기계적 연마법: Chemical Mechanical Polishing)에 의해 평탄화한 막 두께  $1\mu\text{m}$ 의 실리콘 산화막(46)을 형성하고, 원하는 위치에 컨택트 풀을 형성하고, CVD법과 애치백법에 따라 매립한 텅스텐(W) 플러그(47)를 형성하고, 막 두께  $500\text{nm}$ 의 알루미늄막을 스퍼터법에 따라 피착하고, 통상의 리소그래피법에 따라 가공한 제1 금속 배선(48)을 형성하여 주요부의 제조를 완료한다.

도 8에는, 안티 퓨즈(1)의 절연 파괴 동작 시에서의 전압 인가 조건이 예시되어 있다. p형 실리콘 기판(10), 선택 트랜지스터가 있는 얕은 p형 웰 영역(12)에는 접지 전위  $0\text{V}$ 를 인가하고, 깊은 n형 웰 영역(11)에는 전원 전압  $3.3\text{V}$ 를 인가한다. 또한, 기판 게이트 용량의 기판 전압  $V_{bb}' = -5\text{V}$ 로 하고, 선택 트랜지스터의 n형 드레인 영역(18)으로 파괴 전압  $V_{DD} = 5\text{V}$ 를 인가한 후, 원하는 선택 트랜지스터(2)의 게이트 전극으로 파괴 신호  $V_g = 6\text{V}$ 의 전압 펄스를 시간  $1\text{ms}$  인가하여, 안티 퓨즈(1)의 저내압계 게이트 산화막(16)으로 실효적으로  $10\text{V}$ 의 전압을 인가한다. 이에 따라 게이트 절연막(16)이 파괴되며, 안티 퓨즈(1)가 절연 파괴된다.

도 9는 기판 게이트 용량인 상기 안티 퓨즈(1)의 절연 파괴 시에서의 전압 전류 특성을 나타내고 있다. 기판 게이트 용량의 평면 저수는 소자 분리 간격  $0.25\mu\text{m}$ , 게이트 폭  $0.25\mu\text{m}$ 이고,  $V_{bb}' = 0\text{V}$ 인 경우, 게이트 파괴 내압  $BV_g$ 는  $9\text{V}$ 이다. 본 실시의 형태에서는  $V_{bb}' = -5\text{V}$ 이므로, 게이트 용량 전극측에 필요한 파괴 전압은  $3.8\text{V}$ 까지 저하하며, 선택 트랜지스터로부터  $5\text{V}$ 를 인가하면 문제없이 파괴 가능하다. 또한, 파괴 직후에 저내압계 게이트 산화막(16)으로 흐르는 전류치는  $1\text{mA}$ 로 제한했지만, 파괴 후의 퓨즈의 저항치는 약  $10\Omega$ 로, 파괴 전에 비교하여 10자릿수 저하한다. 이에 따라, 상기 선택 트랜지스터(2)의 전류 구동 능력은  $1\text{mA}$  이상이며, 또한 구체 판정 회로 사이에 접속되는 비교 트랜지스터(3)의 전류 구동 능력은 파괴 후의 퓨즈의 저항치가 약  $10\text{k}\Omega$ 이 되는 것을 목표로 하여 설계하면 된다.

공개특허 특2001-0108118

도 10에는 도 1의 구성에 대해 선택 트랜지스터의 보호 저항과 레치 입 방지 저항을 추가한 안티 퓨즈 회로의 예가 나 타내어진다. 도 10에서 상기 선택 트랜지스터(2)는 p 채널형 트랜지스터가 되고, 선택 트랜지스터(2)의 보호 저항(50)과 레치 입 방지 저항(51)이 추가된다. 도 10의 회로에서 그 동작 전원은 Vbb'와 VDD가 명시되어 있지만, 상기 명시된 전원은 다른 회로의 전원 단자와 따로따로 되어 있다. 전원이 명시되지 않은 회로의 동작 전원은 Vcc, Vss이다. 파괴 신호 Vg를 형성하는 회로로서, 모드 판정 회로(52), 구체 어드레스 레치 회로(53), NAND 게이트(54), 레벨 변환 회로(55)가 설치되어 있다. 안티 퓨즈(1)의 프로그램 모드가 모드 신호(56)(또는 모드 신호(56)와 어드레스 신호의 일부)에 따라 모드 판정 회로(52)로 설정되면, 모드 판정 회로(52)는 불량 비트의 어드레스 데이터를 구체 어드레스 레치 회로(53)에 레치시키며, 그 후 외부로부터 공급되는 절연 파괴해야 할 퓨즈의 어드레스를 입력하여, 비트 대응으로 NAND 게이트(54)로 출력한다. 어드레스 데이터는 A0~Ai로서 나타나 있다. 모드 판정 회로(52)의 출력 어드레스와 구체 어드레스 레치 회로의 출력 어드레스가 모두 하이 레벨로 일치할 때, 대응하는 NAND 게이트(54)의 출력이 로우 레벨이 된다. NAND 게이트(54)의 출력은 레벨 변환 회로(55)에서 전원 전압 VDD의 전폭으로 변환되고, 변환된 신호는 상기 파괴 신호 Vg로서 선택 트랜지스터(2)의 게이트 전극으로 공급된다. 상기 파괴 신호 Vg는 상기 NAND 게이트(54)의 로우 레벨(논리치 "0") 출력에 응답하여 로우 레벨이 되며, 이에 따라 파괴 전압 VDD가 기판 게이트 용량인 안티 퓨즈(1)로 인가되며, 그 퓨즈(1)가 절연 파괴된다.

특별히 제한되지 않았지만, 안티 퓨즈(1)의 프로그램 후에는, 전원 전압 VDD를 Vcc에, 기판 바이어스 전압 Vbb'를 접지 전압 Vss로 한다.

상기로부터, 퓨즈(1)가 절연 파괴될 때의 대응 어드레스 비트 Ai는 하이 레벨(논리치 "1")이다. 이 관계는 도 1의 경우와 동일하다. 도 10에서 선택 트랜지스터(2)의 드레인에는 도 1과 마찬가지로 셀렉터(3)가 설치되어 있다. 안티 퓨즈(1)의 프로그램 후의 통상의 동작 시의 구체 판정 동작은 도 1에서 설명한 내용과 동일하다. 즉, 상기 안티 퓨즈(1)의 프로그램 처리를 끝낸 메모리의 액세스 어드레스가 상기 구체해야 할 불량 어드레스 A0~Ai와 동일할 때, 각 비트의 셀렉터(3)의 출력은 모두 논리치 "1"이 되며, 이에 따라 구체해야 할 어드레스에 대한 액세스를 검출한다.

도 11에는 도 10의 회로에서 안티 퓨즈를 절연 파괴할 때의 전압 인가 조건과 안티 퓨즈 주위의 디바이스 단면 구조가 예시되어 있다. 도 11에서, p형 실리콘 기판(60) 상에, 깊은 n형 웰 영역(61)과, 얕은 n형 웰 영역(62)이 형성되며, 깊은 n형 웰 영역(61)에는 얕은 p형 웰 영역(63 및 71)이 배치되어 있다. 상기 얕은 n형 웰 영역(62) 내에는 소자 분리 영역(64)으로 분리되며, p형 드레인 영역(68), p형 소스 영역(69), 게이트 산화막(65), 및 게이트 전극(67)으로 이루어져는 선택 트랜지스터(2)가 형성되어 있다. 상기 얕은 p형 웰 영역(63) 내에는 기판 게이트 용량 산화막(66)이 형성되며, p형 기판 접속 확산층(70), 및 게이트 전극(67)에 의해 기판 게이트 용량 즉 안티 퓨즈(1)가 구성되어 있다. 상기 기판 게이트 용량의 게이트 전극(67)과 선택 트랜지스터(2)의 p형 소스 영역(69) 사이에 상기 얕은 p형 웰 영역(71)을 이용하여 p형 저항 확산층(70)으로 접속한 보호 저항(50)을 형성하고 있다.

도 11에서, p형 실리콘 기판(60)은 접지 전위 Vss(=0V)로 고정되며, 깊은 n형 웰 영역(61) 및 얕은 n형 웰 영역(62)에는 Vnw=VDD=5V가 인가된다. 안티 퓨즈(1)의 p형 기판 접속 확산층(70)으로 Vbb'=-5V를, 선택 트랜지스터(2)의 p형 드레인 영역(68)으로 파괴 전압 VDD=5V를 인가한 후, 도 10에 나타낸 레벨 변환 회로(55)로부터의 파괴 신호 Vg=5V가 게이트 전극(67)으로 입력된다. 이에 따라, 안티 퓨즈(1)의 한쪽 용량 전극에는 Vbb'=-5V, 다른 용량 전극에는 VDD=5V가 인가되며, 기판 게이트 용량 산화막(66)이 절연 파괴된다.

상기 도 11의 예에서는, 안티 퓨즈(1)의 산화막(46)의 두께는 4.5μm로 하고, 게이트 산화막(65)보다 얇게 형성하고, 그 절연 파괴를 용이하게 행할 수 있도록 했다. 통상의 DRAM 프로세스로 사용되고 있는 게이트 산화막 두께의 7

공개특허 특2001-0108113

■의 경우에서도, 그 게이트 파괴 내압이 11V 정도이기 때문에, 게이트 산화막(65)과 마찬가지로, 상기 안티 퓨즈(1)의 산화막(66) 두께를 7nm로 한 경우에도, 그 안티 퓨즈(1)의 p형 기판 접속 확산층(50)으로  $V_{bb'}=-7V$ 를 인가하면, 높은 절연 파괴 동작이 가능하다.

#### 《풀립 칩형 DRAM》

도 12에는 다른 발명에 따른 반도체 접착 회로의 다른 예인 풀립 칩형의 DRAM(이하 단순히 풀립 칩형 DRAM이라고도 정함)의 DRAM 칩이 나타내여진다. 도 12에 도시된 DRAM 칩(80)에서 안티 퓨즈 회로는 불량 비트의 구제에 이용되고 있다.

DRAM 칩(80)은 특별히 제한되지 않았지만, 반도체 기판에 64M 비트의 메모리 어레이(82)를 4 블록 구비하고, 한쌍의 메모리 어레이(82)마다 X 디코더(로우 디코더 : 83), 각각의 메모리 블록(82)마다 Y 디코더(컬럼 디코더) 및 메인 증폭기(84) 등의 주변 회로를 구비한다. 각각의 메모리 어레이(82)에 대응하여, 기판 게이트 용량으로서의 안티 퓨즈(1)를 포함하는 안티 퓨즈 회로(85)가 설치되고, 반도체 기판의 중앙부에 안티 퓨즈 회로(85)의 전원 페드(86, 87)를 배치하였다. 그 외측에는,  $80 \times 80 \mu\text{m}^2$ 의 프로브 검사용의 금속 페드(88)를 설치하고, 또한 범프 전극에의 제배치 배선(리드 배선)을 주출하기 위한  $40 \times 40 \mu\text{m}^2$ 의 금속 페드(89)를 설치한다. 안티 퓨즈 회로(85)에는 도 1, 도 10에 도시된 안티 퓨즈 회로를 선택할 수 있다. 프로그램 모드는 상술된 바와 마찬가지로, 모드 신호 등에 의해 설정한다. 예를 들면, DRAM에서의 WCBR(기록 인에이블 신호 WE 및 컬럼 어드레스 스트로브 신호 CAS를 로우 어드레스 스트로브 신호 RAS의 인에이블에 앞서 인에이블로 함) 검사 모드와 어드레스 신호의 일부를 이용하여 상기 프로그램 모드에 포함되면 된다.

상기 전원 페드(86)는 안티 퓨즈(1)의 파괴시에는 파괴 전압  $VDD(=5V)$ 가 인가되고, 통상의 동작 시에는 전원 전압  $Vcc(=3.3V)$ 가 인가되는 전원 페드이다. 다른 전원 페드(87)는 안티 퓨즈(기판 게이트 용량 : 1)의 파괴시에는 그 기판 전압  $V_{bb'}(-5V)$ 가 공급되며, 통상의 동작 시 Yd1020010108117에는 접지 전위  $Vss(=0V)$ 로 고정된다.

도 13으로부터 도 16은 상기 DRAM 칩(80)을 이용하여 풀립 칩형 DRAM을 얻기까지의 소요되는 공정에서의 칩 평면도를 나타낸다.

우선, 웨이퍼형의 도 12의 DRAM 칩 상에, 도 13에 예시되는 제배치 배선(리드 배선 : 90)을 패터닝한다. 즉, 도 12의 DRAM 칩(80) 상에는, 제3층 알루미늄 배선이 형성하고, 그 상부에 막 두께  $0.5 \mu\text{m}$ 의 산화막과 막 두께  $1 \mu\text{m}$ 의 플라즈마 질화막을 포함하는 폐시메이션막을 피착한다. 그 상부에 막 두께  $10 \mu\text{m}$ 의 감광성 고분자막을 도포하고, 참조 번호 86, 87, 88, 89로 나타낸 본딩 페드부의 위치에 대응시켜 개구를 형성하고, 제3층 알루미늄 배선까지를 노출시킨다. 그 후, 막 두께  $1 \mu\text{m}$ 의 구리를 스팍터법에 따라 피착하여, 도 13에 도시된 바와 같이 DRAM 칩 상에 제배치 배선(90)을 끌어낸다.

이어서, 도 14에 도시된 바와 같이 상기 제배치 배선(90) 상에 막 두께  $3 \mu\text{m}$ 의 수지를 도포하고, 땜납 범프 전극이 배치되는 영역과, 프로브 검사용의 프로브를 접촉하는 영역에만 페드 개구 훌(91)을 형성한다.

또한, 막 두께  $0.3 \mu\text{m}$ 의 Cr 막을 스팍터법에 따라 피착하고, 페터닝하여, 도 15에 도시된 바와 같이 땜납 범프 전극의 배리어층(하부 금속층 : 92)을 형성한다. 이 배리어층(92)은 땜납 범프 전극에 포함되는 주석(Sn)이 구리(Cu)와 반응하여 금속간 화합물을 생성하는 것을 저지하는 배리어층으로서 기능한다. 참조 번호 90, 90a는 페드 개구 훌(91)로부터 1~2  $\mu\text{m}$ 의 제배치 배선이며, 상술된 바와 같이 프로브 검사용의 검사 페드로서 이용된다. 특히 참조 번호 90a는 안티 퓨즈(1)를 프로그램하기 위한 전압  $VDD$ ,  $V_{bb'}$ 의 공급에 이용된다.

공개특허 특2001-0108118

마지막으로, 도 16에 도시된 바와 같이 상기 배리어층(92) 상에 예를 들면, 직경 200 $\mu$ m의 땜납 범프 전극(93, 93a)을 형성하여, 플립 칩형 DRAM의 웨이퍼 공정을 완료한다. 땜납 범프 전극(93a)은 안티 퓨즈(1)의 프로그램용 전압 VD D, Vbb'의 인가 단자를, 전원 전압 Vcc, 접지 전압 Vss에 강제하기 위한 전극이다. 이 후, 프로브 검사와 기판 게이트 용량(안티 퓨즈 : 1)의 파괴에 의한 구제 및 선별 검사가 실시되며, 마지막으로 웨이퍼로부터 접의 추출이 행해진다. 후술된 플립 칩형 DRAM은 실장 배선 기판 상에 페이스 다운 본딩되며, 충전체의 주입과 경화가 행해져, 제품이 완성된다. 기판 실장될 때, 상기 한쌍의 땜납 범프 전극(93a)은 전원 전압 Vcc, 접지 전압 Vss의 전원 배선에 접속된다.

도 17에는 상기 플립 칩형 DRAM에서의 안티 퓨즈 회로(85)의 주요부의 종단면이 도시되어 있다. p형 실리콘 기판(10) 상에, 깊은 n형 웨이퍼 영역(11)이 형성되고, 이 깊은 n형 웨이퍼 영역(11) 내부에 얕은 p형 웨이퍼 영역(13)이 형성되어 있다. 또한, 상기 깊은 n형 웨이퍼 영역(11)의 이웃에는, 얕은 p형 웨이퍼 영역(12)이 형성되며, 그 얕은 p형 웨이퍼 영역(12)의 표면 영역에는 소자 분리 영역(14)에 의해 분리되며, DRAM 메모리 셀의 셀 트랜지스터에 사용되고 있는 n형 저농도 소스 드레인 영역(95), n형 드레인 영역(18), n형 소스 영역(19), 게이트 산화막(15), 및 게이트 전극(17)을 포함하는 선박 트랜지스터(2)를 구비한다. 상기 그 얕은 p형 웨이퍼 영역(13)의 표면 영역에는 소자 분리 영역(4)에 의해 분리되며, 게이트 용량 산화막(16), 게이트 용량 전극(17), 및 p형 기판 접속 확산층(20)을 포함하는 안티 퓨즈(1)를 구비하고, 게이트 용량 전극(17)은 선박 트랜지스터(2)의 n형 소스 영역(19)에 접속되어 있다. 선박 트랜지스터(2)에 n형 저농도 소스 드레인 영역(95)을 설치함으로써, 소스 드레인 내압을 7V에서 10V로 개선할 수 있어서, 트랜지스터의 신뢰도를 향상시킬 수 있다.

### 《플립 칩형 시스템 LSI》

도 18에는 본 발명의 반도체 집적 회로의 제3 예에 따른 플립 칩형 시스템 LSI의 기능 블록도가 도시된다. 도 18에 도시된 시스템 LSI(101)는 특별히 제한되지 않았지만, 반도체 기판(100)의 주연에는 프로브 검사용의 금속 패드나, 범프 전극에의 재배치 배선(리드 배선)을 추출하기 위한 금속 패드 등의 패드(102)가 다수 배치되어 있다. 상기 패드(102)의 영역 내측에, 외부 입출력 회로(103), 아날로그 입출력 회로(104)가 설치되어 있다. 외부 입출력 회로(103) 및 아날로그 입출력 회로(104)는 3.3V와 같은 상대적으로 레벨이 높은 외부 전원을 동작 전원으로 한다. 레벨 시프터(105)는 상기 외부 전원을 1.8V와 같은 내부 전원 전압으로 강압한다. 레벨 시프터(105) 내측에는, 다이내믹 랜덤 액세스 메모리(DRAM) : 106, 중앙 처리 장치(CPU : 107), 캐시 메모리(CACH : 108), 논리 회로(LOG : 109), 페이즈 락크 루프 회로(PLL : 110), 아날로그 디지털 변환 회로(ADC : 111), 및 디지털 아날로그 변환 회로(DAC : 112)를 구비한다. 참조 번호 113은 안티 퓨즈 회로로서, DRAM(106)의 결함 구제에 이용된다. 상기 DRAM(106), CPU(107), LOG(109), CACH(108)는 레벨 시프터(105)로부터 공급되는 1.8V와 같은 내부 전원 전압을 동작 전원으로서 동작된다. 단, DRAM(106)은 내부 전원 전압을 승압하여 워드선 선택 레벨을 형성하고, 워드 드라이버 등의 동작 전원에 이용한다.

도 18에서, 참조 부호(114, 115)로 나타낸 것은 상기 안티 퓨즈 회로(113)에 전용화된 전원 패드이다. 전원 패드(114)는, 안티 퓨즈(1)의 파괴시에는 파괴 전압 VDD(=5V)가, 통상의 동작 시에는 전원 전압 Vcc(=3.3V)가 인가되는 전원 패드이며, 다른 전원 패드(115)는 안티 퓨즈(기판 게이트 용량 : 1)의 파괴시에는 기판 전압 Vbb'(=-5V)가 공급되며, 통상의 동작 시에는 접지 전위 Vss(=0V)로 고정된다.

도 19에는 도 18에서의 안티 퓨즈 회로와 논리 회로 및 외부 입출력 회로의 디바이스 구조의 종단면이 예시되고 있다.

직경은 100 $\mu$ m의 p형 실리콘 기판(120) 상에, 깊이 2 $\mu$ m의 깊은 n형 웨이퍼 영역(121), 깊이 1 $\mu$ m의 얕은 n형 웨이퍼 영역(122), 깊이 0.8 $\mu$ m의 얕은 p형 웨이퍼 영역(122 및 123)이 배치되어 있다. 상기 얕은 p형 웨이퍼 영역(123) 내에는, 막 두께 4 $\mu$ m의 얕은 게이트 산화막(127), p형 기판 접속 확산층(130), 및 막 두께 0.2 $\mu$ m의 n형 폴리실리콘막을 포함하는 게이트 길이 0.3 $\mu$ m의 게이트 전극(128)으로부터 기판 게이트 용량(안티 퓨즈 : 1)이 구성되어 있다. 상기 얕은 n형 웨이퍼 영역(122)

공개특허 등2001-0108118

124) 내에는 막 두께  $0.3\mu m$ 의 소자 분리 영역(125)으로 분리되며, p형 드레인 영역(135), p형 소스 영역(134), 막 두께  $8nm$ 의 두꺼운 게이트 산화막(126), 및 막 두께  $0.2\mu m$ 의 p형 폴리실리콘막을 포함하는 게이트 길이  $1\mu m$ 의 게이트 전극(129)에 의해 선택 트랜지스터(2)가 형성되어 있다. 상기 기판 게이트 용량(1)의 게이트 전극(128)과 선택 트랜지스터(2)의 p형 소스 영역(134)은 텅스텐(W)을 매립한 컨택트 플러그(142)와 제1층 금속 배선(143)으로 접속되어 있다.

상기 얇은 p형 웨이 영역(122) 내에는, 소자 분리 영역(125)으로 분리되며, n형 드레인 영역(137), n형 소스 영역(136), 막 두께  $4nm$ 의 얇은 게이트 산화막(127), 및 막 두께  $0.2\mu m$ 의 n형 폴리실리콘막을 포함하는 게이트 길이  $0.2\mu m$ 의 게이트 전극(130)에 의해 전원 전압  $1.8V$  동작의 n 채널형 트랜지스터(4)가 형성되어 있다.

또한, 상기 얇은 p형 웨이 영역(122) 내에는 소자 분리 영역(125)으로 분리되고, n형 드레인 영역(139), n형 소스 영역(138), 막 두께  $8nm$ 의 두꺼운 게이트 산화막(126), 및 막 두께  $0.2\mu m$ 의 n형 폴리실리콘막을 포함하는 게이트 길이  $0.4\mu m$ 의 게이트 전극(131)에 의해 전원 전압  $3.3V$  동작의 n 채널형 트랜지스터(5)가 형성되어 있다.

상기 트랜지스터(4, 5) 상부에 자기 정합 컨택트 형성을 위해, CVD법에 따라 피착한 막 두께  $100nm$ 의 실리콘 질화막(140)을 배치하고, CMP 법에 따라 평탄화된 막 두께  $1\mu m$ 의 컨택트 층간막(141)의 원하는 위치에 설치된 컨택트 플러그(142)와 막 두께  $0.5\mu m$ 의 알루미늄막을 포함하는 제1 금속 배선(143), CMP 법에 따라 평탄화된 막 두께  $1\mu m$ 의 제1 층간막(144)의 원하는 위치에 설치된 제1 층간 플러그(145)와 막 두께  $0.5\mu m$ 의 알루미늄막을 포함하는 제2 층 금속 배선(146), CMP 법에 따라 평탄화된 막 두께  $1\mu m$ 의 제2 층간막(147)의 원하는 위치에 설치된 제2 층간 플러그(148)와 막 두께  $0.5\mu m$ 의 알루미늄막을 포함하는 제3 층 금속 배선(149), 막 두께  $0.8\mu m$ 의 제3 층간막(150)의 원하는 위치에 설치된 제3 층간 플러그(151)와 막 두께  $1\mu m$ 의 알루미늄막을 포함하는 제4 층 금속 배선(152), 막 두께  $0.8\mu m$ 의 제4 층간막(153), 그리고 막 두께  $1\mu m$ 의 알루미늄막을 포함하는 제5 층 금속 배선(154)이 배치되어 있다.

상기 시스템 LSI(101)는, 상술된 바와 같이 MIS 트랜지스터의 게이트 산화막두께는 2 종류로 분류된다. MIS 트랜지스터의 동작 전압에 대해 어느 정도의 내압(게이트 산화막의 과괴에 대한 내압)을 확보할 필요가 있는 회로, 예를 들면, 일부 입출력 회로(103), 아날로그 입출력 회로(104), DRAM(106), ADC(111) 및 DAC(112)는 특별히 제한되지 않았지만,  $0.2\mu m$  프로세스 기술을 이용한 경우, 게이트 길이  $0.4\mu m$ 이며 게이트 산화막 두께  $8nm$ 의 MIS 트랜지스터를 구비한다. 이에 대해, 강압된 비교적 낮은 내부 전압을 동작 전원으로 하는 회로, 즉 논리 회로(109), 캐쉬 메모리(108), CPU(107)는 게이트 길이  $0.2\mu m$ 이며 게이트 산화막 두께  $4nm$ 의 MIS 트랜지스터로 구성된다. 레벨 시프트 회로(105)는 특별히 제한되지 않았지만, 상방의 게이트 산화막 두께의 MIS 트랜지스터를 갖고 있다. 상기 안티 퓨즈(1)는  $4nm$ 의 게이트 산화막이 이용되며, 절연 과괴를 위해 과도하게 레벨이 높은 전압을 이용하지 않아도 되도록 되어 있다.

#### 《DRAM의 구체 회로》

상기 도 18의 시스템 LSI에서의 DRAM의 불량 비트 구체를 위한 구체적인 회로 구성의 일례를 설명한다.

도 20에는 상기 DRAM(106)의 일례가 나타내어진다. 상기 DRAM(106)은 CPU(107)의 워크 메모리 또는 메인 메모리로서 이용되는 바의 비교적 대용량의 리드 라이트 가능한 메모리이다. 상기 DRAM(106)은 시스템의 대규모화에 따라 예를 들면, 수기가 비트와 같은 대용량을 구비한다. DRAM(106)의 메모리 셀 어레이(106MA)는 정규의 워드선 WLd\_0 ~ WLd\_Nd 케이 용장 워드선 WLdR을 구비한다. 정규의 워드선 WLd\_0 ~ WLd\_Nd에는 정규 다이내믹형 메모리 셀의 선택 단자가 결합되며, 용장 워드선 WLdR에는 용장용의 다이내믹형 메모리 셀의 선택 단자가 결합되어 있다. 메모리 셀의 데이터 입출력 단자는 비트선 BLd\_0 ~ BLd\_Md에 결합되어 있다. 특별히 도시는 하지 않았지만, 비트선 BLd\_0 ~ BLd\_Md는 감지 증폭기를 중심으로 반환 비트선 구조를 갖고 있다. 상기 비트선 BLd\_0 ~ BLd\_Md는 V 셀 백터 Vsd\_0 ~ Vsd\_Md를 통해 공통 데이터선(106CD)에 공통 접속된다.

공개특허 특2001-0108118

상기 워드선 WLd\_0~WLd\_Nd와 용장 워드선 WLdR은 X 디코더(106XD)에 의해 하나가 선택된다. Y 셀렉터 YSd\_0~YSd\_Md는 Y 디코더(106YD)의 디코드 출력에 의해 하나가 온 상태가 된다. 도 20에서, 메모리 셀 어레이(106MA) 및 Y 셀렉터 YSd\_0~YSd\_Md는 지면의 표리 방향으로 N조 설치되어 있다. 따라서, X 디코더(106XD) 및 Y 디코더(106YD)에 의한 선택 동작이 행해지면, 공통 데이터선(106CD)에는 N 비트 단위로 데이터의 입출력이 행해지게 된다. 기입 데이터는 데이터 버스 DBUS로부터 데이터 버퍼(106DB)로 공급되며, 입력 데이터에 따라 메인 증폭기(106MA)가 광범위 데이터선(106CD)을 통해 비트선을 구동한다. 데이터 관독 동작으로는 비트선으로부터 공통 데이터선(106CD)으로 전달된 판독 데이터를 메인 증폭기(106MA)로 증폭하고, 이것을 데이터 버퍼(106DB)로부터 데이터 버스 DBUS로 출력한다.

정규의 워드선 WLd\_0~WLd\_Nd 중 어떤 워드선을 용장 워드선 WLdR의 선택으로 치환할지는, 구체 어드레스 기억 회로(160)에 저장되어 있는 구체 정보에 따라 결정된다. 상세한 내용은 후술하지만 구체 어드레스 기억 회로(160)는 구체 이드레스의 기억에 필요한 비트 수분의 상기 앤티 퓨즈 회로(113)를 구비한다.

상기 구체 이드레스 기억 회로(160)에 저장되어 있는 구체 정보는 어드레스 비교 회로(161)로 공급된다. 상기 구체 이드레스 기억 회로(160)로부터 출력되는 구체 정보가 유효할 때, 그 구체 정보는 어드레스 비교 회로(161)에 의해 상기 이드레스 버퍼(106AB)로부터의 로우 어드레스 신호와 비교된다. 비교 결과가 일치할 때, 검출 신호 HITB가 논리치 "0" (모우 케벨)이 되며, 그 외에는 논리치 "1" (하이 케벨)이 된다. 상기 X 디코더(106XD) 및 Y 디코더(106YD)는 이드레스 버스 ABUS의 어드레스 신호가 어드레스 버퍼(106AB)를 통해 공급되며, 공급된 어드레스 신호를 디코드한다. 특히 X 디코더(106XD)는 어드레스 비교 회로(161)로부터 공급되는 검출 신호 HITB가 불일치를 의미하는 논리치 "1" 일 때는 어드레스 버퍼(106AB)로부터의 로우 어드레스 신호를 디코드하지만, 검출 신호 HITB가 일치를 의미하는 논리치 "0" 일 때에는 어드레스 버퍼(106AB)로부터의 로우 어드레스 신호의 디코드가 금지되며, 대신에 용장 워드선 WLdR을 선택한다. 이에 따라, 불량의 워드선에 따른 메모리 액세스는 용장 워드선 WLdR에 따른 용장용의 메모리 셀의 선택 동작으로 바뀌어진다.

DRAM(106)와 내부 타이밍 제어는 타이밍 컨트롤러(106TC)가 행한다. 타이밍 컨트롤러(106TC)에는 컨트롤 버스 CBUS를 통해 CPU(107)로부터 리드 신호 및 라이트 신호 등의 스트로브 신호가 공급됨과 함께, 어드레스 버스 ABUS로부터 메모리 선택 신호라고 간주되는 복수 비트의 어드레스 신호가 공급된다. 타이밍 컨트롤러(106CT)에 의해 DRAM(106)의 동작 선택이 검출되면, X 디코더(106XD) 등의 회로가 활성화되며, 리드 신호에 의해 판독 동작이 지시되어 있을 때는 메모리 셀 어레이(106MA)에서 선택된 메모리 셀의 기억 정보가 메인 증폭기(106MA)나 데이터 버퍼(106DB)를 통해 데이터 버스 DBUS로 출력되며, 라이트 신호에 의해 기입 동작이 지시되어 있을 때는 메모리 셀 어레이(106MA)에서 선택된 메모리 셀에, 데이터 버퍼(106DB) 및 메인 증폭기(106MA)를 통해 입력된 데이터가 기입된다.

도 21에는 구체 어드레스 기억 회로(160)에 이용되는 1 비트분의 상기 앤티 퓨즈 회로(113)의 일례가 나타내어진다. 앤티 퓨즈 회로(113)는 검출부(113A)와 앤티 퓨즈 설정부(113B)를 구비한다. 상기 기판 게이트 용량과 같은 앤티 퓨즈(1)의 한쪽 용량 전극은 상기 전원 패드(115)에 접속하는 단자 CGND에, 다른 용량 전극은 p 채널형 트랜지스터 T5를 통해 노드 VSEN에 접합된다. 단자 CGND에는 앤티 퓨즈(1)의 절연 파괴 시에 -5V, 통상의 동작 시에는 0V가 인가된다. 상기 트랜지스터 T5의 게이트는 접지 전압 VSS에 접합되며, 앤티 퓨즈(1)의 절연 파괴 동작 시에 단자 CGND에 인가되는 부전압이 노드 VSEN 측으로 전달되는 것을 저지한다.

공개특허 특2001-0108118

상기 노드 VSEN에는 p 채널형 트랜지스터 T6을 통해 상기 전압 VDD가 인가되어, 또한 p 채널형 트랜지스터 T7, T8의 각별히 서로 다른 통해 상기 전압 VDD가 인가된다. 트랜지스터 T6은 리세트 신호 RSTB의 로우 레벨(리세트 지시 레벨)에 의해 온 동작되며, 트랜지스터 T7은 안티 퓨즈(1)의 선택 신호 AiB의 로우 레벨(선택 레벨)에 의해 온 동작된다. 상기 트랜지스터 T8은 검출부(113A)의 검출 신호 FAi가 귀환되어 스위치 제어된다.

상기 검출부(113A)는 상기 노드 VSEN에 p 채널형 트랜지스터 T4, T3이 직렬 접속되어, 상기 트랜지스터 T3은 별렬 형태에 접속된 한쌍의 p 채널형 트랜지스터 T1, T2를 통해 단자 VDC에 접속되어 있다. 이 단자 VDC는 상기 전원 페(114)에 접속되어 있다. 상기 트랜지스터 T1의 게이트 전극에는 DRAM의 액세스 동작 시에 하이 레벨이 되는 내부 채이 신호가 공급되고, 상기 트랜지스터 T2의 게이트 전극은 인버터 INV1을 통해 상기 트랜지스터 T3의 드레인에 귀환으로 접속되어 있다.

상기 트랜지스터 T4는 n 채널형 트랜지스터라도 좋지만, 그 구동 능력(W/L g)을 트랜지스터 T3보다 크게 하고, 상기 인버터 INV1의 입력 레벨을 조절한다.

도 21의 안티 퓨즈(1)를 절연 파괴하는 경우, 상기 단자 VDC는 5V와 같은 파괴 전압 VDD, 단자 CGND는 -5V와 같은 마이너스의 기판 바이어스 전압 Vbb'가 된다. 첫 동작에 리세트 신호 RSTB가 일단 로우 레벨이 되며, 노드 VSEN이 전압 VDD로 초기화된다. 그리고, 상기 신호 TRAS는 하이 레벨, 상기 신호 AiB는 로우 레벨이 되며, 이에 따라 최초로 인버터 INV1의 출력은 로우 레벨이 된다. 이 상태에서, 노드 VSEN에는 트랜지스터 T7, T8을 통해 파괴 전압 VDD가 공급되어, 안티 퓨즈(1)의 하나의 용량 전극에는 대강 10V의 전위차가 형성되며, 절연 파괴된다. 절연 파괴된 안티 퓨즈(1)는 고저항 상태로부터 저저항 상태로 변화되며, 노드 VSEN의 전압은 낮아진다. 이것을 인버터 INV1이 검출하고, 트랜지스터 T8을 차단하여, 안티 퓨즈(1)에 대한 고압 인가 상태가 자동 정지된다.

DRAM의 액세스 동작에서는 단자 VDC는 3.3V, 단자 CGND는 0V가 되며, 상기 신호 RSTB, AiB는 모두 하이 레벨을 유지하며, 이것을 대신하여 상기 신호 TRAS가 로우 레벨이 된다. 안티 퓨즈(1)가 절연 파괴되면 검출 신호 FAi는 하이 레벨이 되며, 안티 퓨즈(1)가 절연 파괴되지 않으면 검출 신호 FAi는 로우 레벨이 된다.

도 22에는 상기 안티 퓨즈 회로(113)를 이용한 구체 어드레스 기억 회로(160)의 일례로서, 하나의 구체 어드레스를 기억하는 회로 구성이 예시되어 있다. 안티 퓨즈 회로(113)의 구성은 도시를 간략화하고 있다. 예를 들면, n+1개의 안티 퓨즈 회로(113)가 설치되고, 각각의 안티 퓨즈 회로(113)에는 상기 신호 TRAS, 리세트 신호 RSTB가 공통으로 공급되어, 각 안티 퓨즈(1)의 한쪽 용량 전극은 상기 단자 CGND에 공통으로 접속되어 있다. 또한, 각각의 안티 퓨즈 회로(113)에는 n+1 비트의 프로그램 어드레스 신호 A0B~AnB가 비트 대응으로 개별로 공급되며, n+1 비트의 신호 FA0~FA<sub>n</sub>을 비트 대응으로 출력한다. 프로그램 어드레스 신호 A0B~AnB의 각 비트는 상기 선택 신호 AiB에 대응된다. 이 프로그램 어드레스 신호 A0B~AnB는 구체해야 할 어드레스(불량 어드레스)를 나타내는 어드레스 신호 A0~An의 각 비트의 레벨 반전 신호로 되어 있다. 프로그램 어드레스 신호는, 안티 퓨즈 회로(113)의 프로그램 모드에 있어서 외부 어드레스 입력 단자로부터 공급된다.

도 22에서 n 채널형 트랜지스터 T9, T10 및 p 채널형 트랜지스터 T11을 포함하는 회로는, 다수의 안티 퓨즈 회로(113)에 공통적인 단자 CGND에 퓨즈 프로그램 시에는 외부로부터 부전압(예를 들면, -5V)을 인가 가능하게 하고, 통상의 동작 시에는 단자 CGND의 접속 라인에 스스로 접지 전압 VSS를 인가하는 회로이다. 즉, 트랜지스터 T11은 트랜지스터 T9를 통상 온 상태로 해 두기 위한 전압 VDD 레벨을 트랜지스터 T9의 게이트 전극에 인가하기 위한 MIS 트랜지스터이다. 트랜지스터 T11은 Lg(게이트 길이)가 크고, 내부 저항이 큰 MIS 트랜지스터이다. 단자 CGND가 마이너스로 저하하면 트랜지스터 T10이 온 상태가 되고, 트랜지스터 T9의 게이트 전압을 단자 CGND의 부전압에 가까운 마이너스의 전압으로 하고, 트랜지스터 T9를 오프 상태로 한다. 이에 따라, 통상의 동작 시에는 트랜지스터 T9의 온 상

공개특허 특2001-0108118

테에 의해 단자 CGND의 전원 라인에 접지 전압 VSS를 공급하고, 안티 퓨즈(1)의 프로그램 시에는 접지 전압 VSS로 부터 단자 CGND의 부전압에의 전류의 역류를 막는다.

도 21 및 도 22의 회로에 따르면, 안티 퓨즈(1)의 프로그램 동작에 있어서, 프로그램 어드레스 신호 A0B~AnB 중 로우 레벨의 비트에 대응하는 안티 퓨즈 회로(113)의 안티 퓨즈(1)가 결연 파괴된다. 이 프로그램 상태에 응답하여 출력되는 신호 FA0~FA<sub>n</sub>은 목적으로 하는 구제해야 할 어드레스 신호가 된다.

도 23은 안티 퓨즈(1)를 결연 파괴할 때의 타이밍차트, 도 24는 검출 신호 FA<sub>i</sub>를 관독하는 동작의 타이밍차트이다.

도 23에 있어서, 안티 퓨즈(1)의 결연 파괴는 어드레스 지정 신호 AiB의 로우 레벨에 의해 선택되고, 노드 VSEN에 전압 VTH가 인가되어, 단자 CGND에 부전압이 인가되어 행해진다. 트랜지스터 T5는 p 채널형의 MIS 트랜지스터이므로, 노드 VSEN의 전압 VDD의 레벨을 레벨 손실없이 안티 퓨즈(1)의 상측 단자(노드 VSEN)로 인가할 수 있다. 프로그램 어드레스 신호 AiB가 하이 레벨이 되는 프로그램 비선택 안티 퓨즈(1)에서는 VDD로부터 VSEN을 통해 CGND에 이르는 전류 페스가 없기 때문에, 안티 퓨즈(1)는 파괴되지 않는다. 안티 퓨즈(1)가 파괴되면, 쇼트 상태 등의 저저항 상태가 되며, 안티 퓨즈(1)의 상측 단자까지 마이너스가 되지만, 트랜지스터 T5에 의해 노드 VSEN은 VSS(접지 전압)+Vthp(p 채널형 MIS 트랜지스터의 임계치 전압) 이하로는 저하하지 않는다. 트랜지스터 T4는 p 채널형 MIS 트랜지스터라도, n 채널형 MIS 트랜지스터라도 좋지만, 노드 VSEN의 레벨 저하를 인버터 INV1의 입력으로 전하여 검출 신호 FA<sub>i</sub>를 로우 레벨로부터 하이 레벨로 변화시킬 수 있으면 된다. 따라서 VDD로부터 VSEN을 통해 CGND에 이르는 전류 페스가 없어지며, 아직 파괴되지 않은 다른 안티 퓨즈(1)의 파괴하게 된다. 여기서 트랜지스터 T5에는 단자 CGND의 부전압이 케이트 소스사이나 소스 NWELL(n형 웰 영역) 사이에 걸리지만, 접지 전압 VSS를 기준으로 한 절대치 진압은 플러스쪽 고전압만을 이용하는 경우에 비교하여 작아도 되므로, 트랜지스터 T5의 pn 접합이 파괴되는 일은 없다.

안티 퓨즈(1)의 관독은 신호 AiB가 하이 레벨, 신호 TRAS가 로우 레벨이 됨으로써 행해진다. 안티 퓨즈(1)가 파괴되었을 때의 관독으로는 전압 VDD로부터 트랜지스터 T1, T3, T4, T5와 안티 퓨즈(1)를 거쳐 단자 CGND(=0V)에 전류가 흐르고, 노드 VSEN이 로우 레벨이 되며, 인버터 INV1로부터 출력되는 신호 FA<sub>i</sub>가 하이 레벨이 된다. 한편, 비파괴 상태의 안티 퓨즈(1)에 대한 관독에서는 노드 VSEN은 전압 VDD보다 저하하지 않으며, 검출 신호 FA<sub>i</sub>는 하이 레벨을 유지한다. 트랜지스터 T4는 p 채널형 MIS 트랜지스터라도 n 채널형 MIS 트랜지스터라도 좋지만, 그 구동 능력을 트랜지스터 T3보다 크게 하고, 노드 VSEN의 레벨에 의해 인버터 INV1의 입력을 확실하게 결정할 수 있도록 한다. 트랜지스터 T4는 검출부(113A)와 퓨즈 설정부(113B)의 동작 분리용으로 설치되며, 검출 신호 FA<sub>i</sub>를 이용하는 후단의 회로 구성에 의해서는 삭제하는 것도 가능하다.

도 25에는 도 22에서의 트랜지스터 T5, 안티 퓨즈(1) 및 트랜지스터 T9의 디바이스 단면이 예시되어 있다.

도 25에서, 참조 번호 170은 p형 반도체 기판(P-Sub(VSS)), 참조 번호 171은 깊은 n형 웰 영역(DW(VDD)), 참조 번호 172, 173은 얕은 n형 웰 영역(NW(VSS)), 참조 번호 174, 175는 얕은 p형 웰 영역(PW)이다.

도 25의 구조에서는 깊은 n형 웰 영역(171)에 의한 트리플 웰 구조를 이용하여 안티 퓨즈(1)의 p형 웰 영역(174)을 마이너스 전위로 인하할 수 있다. n 채널형 MIS 트랜지스터 T9도 동일한 p형 웰 영역(171)에 형성되어 있다. 트리플 웰 구조는 본래 메모리 어레이와 주변 회로의 n 채널형 MIS 트랜지스터의 웰 전압을 각각 독립적으로 최적의 전압으로 설정할 수 있도록 함과 함께 메모리 어레이의 내 노이즈성을 높이기 위해 DRAM에서 다용되는 구조이다. 통상의 주변 회로용의 n 채널형 MIS 트랜지스터는 반도체 기판(170) 상의 p형 웰 영역(175)에 설치하고, 그 웰 전위를 접지 전압 VSS로 하고 있다.

공개특허 특2001-0108118

도 25에서 안티 퓨즈(1)의 절연막은 얕게 하지만, 안티 퓨즈(1)를 파괴하기 쉽게 하기 위해 미국 특허 제5324681호 공보의 기재와 동일한 DRAM 메모리 셀 구조를 채택해도 좋다. 특히 탄탈옥사이드( $Ta_2O_5$ )를 이용한 경우에는 내압이 비례정이고, 단자 CGND에 부전압을 가한 쪽이 내압이 낮아, 도 21의 구성에는 안성마춤이다. 또한 안티 퓨즈(1)에는 메모리 셀을 이용하는 것외에 2 종류의 막 두께(예를 들면,  $t_{OX}=4nm$  혹은  $8nm$ )의 게이트 프로세스로 얕은 쪽의 게이트 신화막을 게이트 신화막으로서 이용할 수 있다.

도 26에는 상기 어드레스 비교 회로(161)의 일례가 나타내어진다. 어드레스 비교 회로(161)는 액세스 어드레스 신호 A0~A9의 각 비트를, 상기 검출 신호 FA0~FA9의 대응 비트의 논리치에 따라 반전 또는 비반전으로 전달하는 셀렉터 유닛(162)을 구비한다. A0, FA0을 입력하는 셀렉터 유닛(162)은 검출 신호 FA0이 하이 레벨(안티 퓨즈(1))의 절연 파괴 상태)일 때 어드레스 비트 A0의 반전 레벨을 출력하고, 검출 신호 FA0이 로우 레벨(안티 퓨즈(1))의 비절연 파괴 상태)일 때 어드레스 비트 A0의 비반전 레벨을 출력한다. 그 밖의 셀렉터 유닛(162)도 마찬가지로 구성되어 있다. 안티 퓨즈(1)의 파괴는 대응하는 프로그램 어드레스 A1B가 로우 레벨일 때 행해진다. 이 상태에서 검출 신호 FA는 하이 레벨이므로, 프로그램 어드레스 A0B~A9B의 각 비트의 반전 신호와 동일한 액세스 어드레스 신호 A0~A9가 입력되면, 모든 셀렉터 유닛(162)의 출력은 전 비트 로우 레벨(논리치 "0")이 된다. 프로그램 어드레스 A0B~A9B의 각 비트의 반전 신호와 액세스 어드레스 신호 A0~A9가 1 비트라도 다르면, 어느 하나의 셀렉터 유닛(162)의 출력은 하이 레벨(논리 치 "1")이 된다. 이 상태를 검출하기 위해 NOR 게이트(163) 및 NAND 게이트(164)가 설치되어 있다. 하나의 NOR 게이트(163)에는 구제 인에이블 신호 FEB도 공급된다. 이 구제 인에이블 신호 FEB는 불량 비트의 구제가 실시되는 경우에 로우 레벨이 되는 신호이고, 그 신호원에는 도 21에 예시된 바와 같은 하나의 안티 퓨즈 회로가 할당된다. 상기 NAND 게이트(164)로부터 출력되는 검출 신호 HITB는 액세스 어드레스가 불량 어드레스와 일치할 때 로우 레벨, 불일치할 때 하이 레벨이 된다. 구제를 위한 안티 퓨즈(1)의 프로그램은 시스템 LSI에 프로그램 모드를 설정하여, 각사 공정의 일환으로서 행한다. 상기 프로그램 모드의 설정은 예를 들면, 모드 단자를 통해 행할 수 있다.

도 20의 설명에서는 위드선 구제를 일례로 했지만, 비트 구제, 혹은 상방의 구제를 행하도록 해도 좋다. 여기서는 불량 어드레스를 프로그램하기 위한 안티 퓨즈 세트를 1조 설치한 경우를 설명했지만, 복수의 안티 퓨즈 세트를 갖으면 복수의 불량 어드레스에 대응할 수 있다.

#### 《안티 퓨즈에 의한 모드 설정》

상기 안티 퓨즈 회로를 기능 설정에 이용하는 예로서, 본딩 옵션을 대신하여 모드 설정을 가능하게 하는 구성에 대해 설명한다.

최초의 본딩 옵션의 예로서, 도 12에 도시된 바와 같은 DRAM에서의 뱅크 수와 데이터의 배열 입출력 비트 수의 선택에 대해 설명한다. 도 27에 도시된 본딩 옵션의 설명도에서는 3개의 옵션 페드 BOPIN0B, BOPIN1B, BOPIN2B를 부유할지 접지 전압 VSS에 접속할지에 따라 DRAM의 동작 모드가 결정된다. 옵션 페드 BOPIN0B의 상태는 입력 보호 회로 및 초단 입력 회로(170)를 거쳐 2 뱅크 인에이블 신호 BANK2B가 된다. 신호 BANK2B는 하이 레벨에 의해 2 뱅크(2 Bank)를 의미하며, 로우 레벨에 의해 4 뱅크(4 Bank)를 의미한다. 입력 보호 회로 및 초단 입력 회로(170)는 도 28에 예시된 바와 같으며, 입력 BOPINiB가 로우 레벨(접지 전압)이면 출력 BOiB도 로우 레벨, 입력 BOPINiB가 부유이면 출력 BOiB는 하이 레벨이 된다.

옵션 페드 BOPIN1B, BOPIN2B의 상태는 입력 보호 회로 및 초단 입력 회로(171, 172)를 거쳐 본딩 옵션 판정 회로(173)로 공급되며, 입력의 상태에 따라 데이터의 배열 입출력 비트 수를 나타내는 신호 BPX4, BPX8, BPX16의 상태가 결정된다. 입력 보호 회로 및 초단 입력 회로(171, 172)는 도 28에 예시된 논리 회로를 구비한다. 본딩 옵션 판정 회로(173)는 도 29의 논리 구성을 구비한다. 이 논리에 따르면, 입력 BO1B가 하이 레벨이면 입력 BO2B와는 무관하게 신호 BPX8이 하이 레벨이 되며, 입력 BO1B가 로우 레벨이면 입력 BO1B와는 무관하게 신호 BPX8 및 BPX16이 하이 레벨이 된다.

공개특허 특2001-0108118

상기 본딩 옵션으로 설정 가능한 동작 모드를 정리하면, 도 30과 같다. 이와 같이, DRAM에서 3개의 옵션 패드의 상태에 따라 6개의 케이스, 즉 뱅크 수(2 또는 4), 배열 입출력 비트 수 4 비트, 8 비트 또는 16 비트의 조합이 선택 가능하게 된다. 이 본딩 옵션은 웨어피 공정 완료 후의 조립 공정에서의 본딩 공정으로 실시된다. 이와 같이 함으로써 얹어진 내부 신호 BANK2B, BPX4, BPX8, BPX16은 도시가 생략된 후단 회로로 이송되며, 이드레스 버퍼나 프리디코더의 제어, 매인 증폭기의 제어, 출력 버퍼의 제어 등에 이용된다.

도 31에는 상기 안티 퓨즈 회로를 이용하여 본딩 옵션과 동등한 기능 선택을 가능하게 하는 구성이 예시되어 있다. 상기 풀워 침형 반도체 접적 회로에서는 접의 조립 시에 본딩 공정이 없으므로, 상기 본딩 옵션 방식으로 기능 선택을 행할 수 없다. 종래의 레이저 퓨즈도 쓸 수 없다. 도 31의 구성은 이들의 점을 고려한 것으로, 안티 퓨즈 회로 AF0~AF2를 적용하여, 웨어피 프로세스가 완료하여 범프 전극이 형성된 후라도 전기적으로 안티 퓨즈 회로 AF0~AF2의 프로그램 설정으로 기능 선택을 행할 수 있도록 한 것이다. 도 31에 도시된 안티 퓨즈 회로 AF0~AF2에는 예를 들면, 상기 도 21의 안티 퓨즈 회로를 이용할 수 있다. 상기 안티 퓨즈 회로 AF0~AF2의 프로그램은 검사 모드로 향한다. 즉, 회로로 안티 퓨즈 설정 모드에 들어간다. 예를 들면, DRAM에서의 WCBR(기록 인에이블 신호 WE 및 컬럼 어드레스 스트로브 신호 CAS를 로우 어드레스 스트로브 신호 RAS의 인에이블에 앞서 인에이블로 함) 검사 모드와 어드레스 신호의 일부를 이용하여, 검사 모드의 하나로서 이 동작 모드에 포함되면 좋다. 상기 단자 VDC에 파괴 전압 VDD를 인가하고, 단자 CGND에 부전압 Vbb'를 인가한다. 절연 파괴 대상 퓨즈를 지정하기 위한 프로그램 어드레스는 일부 어드레스 입력 단자로부터 통상의 어드레스 신호로서 공급한다. 상기 안티 퓨즈 AF0~AF2에 의해 설정 가능한 동작 모드는 도 32에 도시된 바와 같이 설정 가능한 기능은 도 30에 대응한다.

또한, 여기서 설명한 기능 선택은 DRAM에서의 병렬 데이터 입출력 비트 수의 구성, 뱅크 수의 전환의 예였다. 그 외에, 표준의 DRAM에서도, 제1 페이지, EDO 모드(Extended Data Out Page Mode), 스탠티 컬럼 등의 동작 모드 전환이 본딩 옵션을 이용하여 행해지지만, 이들의 전환도 상술된 바와 같이 안티 퓨즈 프로그래밍에 의해 용이하게 실시할 수 있다.

#### 『안티 퓨즈에 의한 트리밍』

이어서, 안티 퓨즈를 내부 전압의 트리밍 수정에 이용하는 경우에 대해 설명한다. DRAM의 칩 내에서 전압 VPERI를 생성하는 경우, 그 레벨은 프로세스 변동의 영향을 받아 변동한다. 프로보 검사로 그 전압 VPERI를 측정하고, 허용 범위 이외라면 그것을 수정하기 위해 트리밍 회로가 이용된다. 그 트리밍 설정에, 상기 안티 퓨즈 회로를 이용할 수 있다.

도 33에는 트리밍 설정 회로의 일례가 나타내어진다. 3개의 안티 퓨즈 회로 AF10~AF12를 구비하고, 각 회로로부터 출력되는 신호는 3비트의 상보 신호 FT1, FTB1~FT3, FTB3으로서 트리밍 디코더(180)로 공급된다. 상기 안티 퓨즈 회로 AF10~AF12에는 도 21의 안티 퓨즈 회로 등을 이용할 수 있다. AiB~AkB는 3비트의 프로그램 어드레스 신호를 의미한다. 상기 트리밍 디코더(180)는 그 3비트의 상보 신호를 디코드하여, 8개의 선택 신호 TRM0~TRM7 중 1개를 선택 레벨로 한다. 디코더(180)의 논리는 도 34에 예시되어 있다. 상기 선택 신호 TRM0~TRM7은 저항 분압 회로(183)의 분압 전압의 선택 신호가 된다. 즉, 기준 전압 발생 회로(181)에서 생성된 기준 전압을 여러개의 저항 R1의 직렬 회로에 의해 저항을 분압시키며, 그 분압 전압을 n 채널형의 선택 MIS 트랜지스터 M1~M7에서 선택하도록 되어 있다. 상기 선택 신호 TRM0~TRM7은 상기 선택 MIS 트랜지스터 M0~M7의 게이트 제어 신호가 된다. 선택 MIS 트랜지스터 M0~M7에서 선택된 전압은 참조 전압 VREF로서 연산 증폭기(182)의 반전 입력 단자로 공급된다. 민관 증폭기(182)의 출력은 전원 단자 Vcc에 접속된 p 채널형 출력 트랜지스터 M8의 게이트 전극에 결합된다. 상기 출력 트랜지스터 M8의 드레인 전위가 전압 VPERI가 되며, 그 분압 전압이 연산 증폭기(182)의 비반전 입력 단자에의 전위 전압이 된다. 상기 전압 VPERI는 귀환 전압의 저항 분압 상태에 따라 상기 참조 전압 VREF의 2배~수배의 레벨을 발생시킨다. 상기 선택 MIS 트랜지스터 M1~M7 중, 도 33의 상측의 MIS 트랜지스터가 온 상

공개특허 등2001-0108118

데가 되면, 상대적으로 레벨이 높은 참조 전압 VREF를 얻을 수 있고, 반대로 도 33 하측의 MIS 트랜지스터가 온 상태가 되면, 상대적으로 레벨이 낮은 참조 전압 VREF를 얻을 수 있다. 통상은 안티 퓨즈 회로 AF10~AF11의 퓨즈를 전히 ~~트리밍하지 않은~~ 상태에서는 선택 MIS 트랜지스터 M4를 통해 중앙의 레벨을 얻을 수 있도록 한다.

상기된 바와 같은 전압 조절기의 트리밍 회로는 ADC 등의 회로에도 적용할 수 있다. 또한, 트리밍 회로는 전압 조절기에 한정되지 않고, 저항 소자나 용량 소자를 이용한 지연 시간 설정을 위한 회로 등에도 이용할 수 있다.

#### 《플립 칩형 반도체 접적 회로의 검사 패드》

이어서, 플립 칩형 반도체 접적 회로의 검사 패드에 대해 설명한다. 여기서, 플립 칩형은 반도체 칩의 소자 형성면(회로 형성면)측을 실장해야 할 실장 기판과 대향시켜 배치하며, 소자 형성면에 형성된 전극과 실장 기판의 전극을 상호 접속하는 실장 기술의 형태이다.

우선, 여기서 일례로서 예를 드는 플립 칩형 DRAM의 평면도를 도 35에 나타낸다. 도 35에 도시된 바와 같이, 플립 칩형 DRAM(210)의 접 중앙부에는 길이 방향을 따라 다수의 검사 패드(209)가 배열되고, 그 외측에는 다수의 범프 전극(208)이 영역 어레이형으로 배치되어 있다.

도 36은 도 35의 일부분을 확대하고, 표면의 절연층을 제거하여 재배치 배선의 인출이 보이도록 나타낸 평면도이다. 즉, 검사 패드와 범프 전극과의 접속 상태가 나타나 있다. 상기 검사 패드(209)는 재배치 배선(205)을 통해 범프 전극(208)에 접속되어 있는 것(209a)과, 범프 전극에는 접속되지 않은 것(209b)으로 대별된다. 한쪽 검사 패드(209a)는, 도 36에는 도시되지 않은 본딩 패드(202) 내의 전원 공급 또는 신호 입출력용 본딩 패드(202a)에 접속되며, 또한 상기 본딩 패드(202a)로부터 재배치 배선(205)이 인출되어 범프 전극(208)에 접속되어 있다. 다른 검사 패드(209b)는 플립 칩형 DRAM(210)의 최종 사용 단계에서는 사용되지 않고 또한 프로브 검사 단계 등으로 사용하는 도시되지 않은 본딩 패드(202b)에 접속되고, 상기 본딩 패드(202b)는 범프 전극(208)에는 접속되지 않는다.

도 37~도 43은 도 35의 플립 칩형 DRAM의 제조 방법을 나타내는 단면도이고, 전원 또는 신호 입출력용 본딩 패드(202a)로부터 범프 전극(208)까지의 재배치 배선(205)에 따른 단면 구조와, 프로브 검사 전용 본딩 패드(202b) 부분의 단면 구조를 각 제조 단계를 따라 나타낸다.

도 37은 반도체 기판에 다수의 회로 소자가 형성된 DRAM 칩(201) 표면에 본딩 패드(202)(202a 및 202b)를 형성하고, 본딩 패드(202)의 개구부를 제외하고, 보호층(203)으로 피복된 상태의, 웨이퍼 단면을 나타내고 있다. 이것에 나타나어지는 것은 주래의 와이어 본딩 접속용 웨이퍼의 완성 단계에 상당한다.

상기 웨이퍼 표면에, 우선 도 38과 같이 하부 절연층(204)을 형성하고, 거기에는 본딩 패드(202)(202a 및 202b)의 부분을 개구시킨다.

이어서 도 39와 같이, 본딩 패드(202a)로부터 범프 전극을 형성해야 할 위치까지 재배치 배선층(205, 295)의 본딩 패드(202)(202a 및 202b) 직상부 및 범프 전극의 형성 부위 부분을 노출시킨다.

마지막 도 41에 도시된 바와 같이, 범프 전극 형성부에 범프 전극 하부 금속층(207)을 형성함과 함께, 본딩 패드(202)(202a 및 202b)의 상부에도 범프 전극 하부 금속층(297)을 동시에 형성한다.

상기된 바와 같이 형성한 본딩 패드(202)(202a 및 202b) 직상부의 범프 전극 하부 금속층(297)이, 전원 또는 신호 입출력용 본딩 패드(202a)에 대응한 검사 패드(209a) 및 검사 전용 본딩 패드(202b)에 대응한 검사 패드(209b)가 된다.

공개특허 등2001-0108118

이어서 도 42에 도시된 바와 같이 검사 페드(209a, 209b)에 프로브(211)의 선단을 접촉시켜 프로브 검사를 행하고, 파로의 유팽성을 이용한 불량품의 구체나 기능의 선택, 그리고 양품과 불량품의 선별 등을 실시한다.

이어서 도 43에 도시된 바와 같이 범프 전극 하부 금속(207) 상에 땜납으로 범프 전극(208)을 형성하고, 완성한 웨이 퍼핀 개개의 위에 절단 분리(다이싱)함으로써 플립 칩형 DRAM을 얻을 수 있다.

본딩 페드(202) 혹은 그 표면의 재료에는 통상 알루미늄 또는 알루미늄 합금이 사용되지만, 반도체 소자 내부의 배선 재료의 종류에 따라서는 구리나 다른 금속을 이용해도 좋다.

보호층(203)의 재질은 실리콘 산화막이나 실리콘 질화막 등의 무기막 외, 폴리이미드와 같은 유기막, 및 이들의 조합이 이용된다.

하부 절연층(204)의 재질은 기판 실장 후에 반도체 장치와 실장 기판의 열팽창 차 등에 따라 범프 전극(208)에 작용하는 응력(응력 왜곡 상태)을 완화시킴과 함께 재배치 배선(205)의 캐페시턴스를 저감시키기 위해, 폴리이미드나 불소제 수지, 각종 엘라스토머 재료와 같은 저탄성을(저탄성 계수) 또한 저유전률의 유기 재료가 바람직하다. 여기서, 엘라스토머 재료로서는 실리콘계, 아크릴계 등의 고무 재료나, 이를 고무 재료를 배합한 저탄성을의 고분자 재료 등을 예로 들 수 있다.

하부 절연층(204)은 와니스의 스판 코팅이나 인쇄, 혹은 필름의 접착에 따라 형성한다. 하부 절연층(204)의 두께는 응력 및 캐페시턴스 저감의 관점으로부터  $3\mu\text{m}$  정도 이상 있는 것이 바람직하다. 단, 보호층(203)에 유기막이 이용되는 경우에는 하부 절연층(204)을 이것보다 얇게 하거나, 또는 생략할 수도 있다.

상기 재배치 배선(205)에는 예를 들면, 두께  $1\sim 5\mu\text{m}$  정도의 구리 또는 구리 합금의 상하로 두께  $0.1\sim 0.5\mu\text{m}$  정도의 크롬, 니타, 니켈, 니켈 합금 등을 적층한 3층 배선 구조를 사용한다. 또한 알루미늄 및 그 합금을 사용할 수도 있다.

상기 표면 절연층(206)의 재질은 범프 전극(208)에 작용하는 응력을 완화시키기 위해, 폴리이미드나 에폭시, 불소 수지 또한 각종 엘라스토머 재료와 같은 저탄성을의 유기 재료가 바람직하다.

또한, 상기 재배치 배선의 하측 절연막(또 다른 절연막)은 범프 전극에 걸리는 응력 흡수를 위해 부드러운 것이 좋고, 상측 절연막(206)은 보호의 관점으로부터 하측 절연막(204)보다 비교적 딱딱한 재료를 선택해도 좋다. 구체적으로는, 상측 절연막(206) 및 하측 절연막(204)은 감광성 폴리이미드 수지막으로 형성되고, 열 처리(경화)전의 용제량, 분자량, 엘라스토머의 함유량 등을 변화시킴에 따라 최종적인 막의 강도(탄성을)를 변화시키는 것이 가능하다. 또한, 상하 절연막을 다른 재료로 형성해도 좋다. 이 경우, 예를 들면, 상측 절연막(206)을 에폭시재 수지로 형성하고, 하측 절연막(204)을 폴리이미드재 수지로 형성하는 것을 생각할 수 있다.

상기 범프 전극 하부 금속(207)으로서는 크롬, 니켈, 니켈 텅스텐, 니켈 구리 등의 땜납 배리어성이 높은 금속을 두께  $0.3\sim 3\mu\text{m}$  정도 형성하는 것이 바람직하고, 또한 땜납의 습윤성 및 프로브와의 전기적 접속성을 확보하기 위해, 표면에 두께  $0.1\mu\text{m}$  정도의 금의 박막층을 형성해 두는 것이 바람직하다.

상기 땜납 범프 전극(208)은 땜납 범프 전극 하부 금속(207) 상에 땜납 페이스트를 인쇄하거나, 또는 미리 일정 치수로 섬유 완료한 땜납볼을 전사한 후, 리플로우시킴으로써 형성할 수 있다.

상기된 바와 같이 전원, 신호 입출력용 본딩 페드(202a), 프로브 검사용 본딩 페드(202b) 양방의 적상부에 검사 페드(209)를 설치함에 따라 재배치 배선 공정 후에 프로브 검사를 실시하는 것이 가능해지므로, 재배치 배선 공정 전의 본딩 페드(202)의 손상에 의한 접속 신뢰성의 저하를 방지할 수 있다.

공개특허 특2001-0108118

또한, 형성 완료한 뱃남 범프 전극(208)에 프로브(211)를 접촉시키지 않고 검사를 행하기 때문에, 뱃남 범프 전극(208)의 변형이 막지 가능함과 함께 뱃남 범프 전극(208)의 곡면으로의 편심한 프로브 접촉에 의한 프로브(211)의 손상도 막지할 수 있다.

또한, 뱃남 범프 전극(208) 형성 전의 뱃남 범프 하부 금속(207)에 프로브(211)를 접촉시킬 필요도 없기 때문에, 뱃남 범프 하부 금속(207)의 표면에 형성한 금 등의 뱃남 습윤성 향상을 위한 층이나, 그 아래의 뱃남 배리어 금속층을 품어 생기게 할 우려도 없어져서, 뱃남과의 접속 신뢰성 저하를 방지할 수 있다.

또한, 이 예에 따르면, 도 36과 같이 검사 패드(209)가 일렬로 배치되기 때문에 도 42에 도시된 바와 같이 프로브(211)에 염가인 켄텔레버 방식의 프로브를 사용할 수 있는데다가, 재배치 배선을 실시하지 않은 통상의 와이어 본딩용 웨이퍼의 본딩 패드(202)와 여기서 설명한 상기 검사 패드(209)와의 칩 평면 내에서의 위치가 동일해지기 때문에, 통상의 와이어 본딩용 웨이퍼와 프로브(211)를 공용화하는 것도 가능하다.

그리고, 삼술된 플립 칩형 DRAM에서는 본딩 패드(202)의 투영 면적 내에 검사 패드(209)가 들어가기 때문에, 검사 패드(209)의 부가에 의한 캐퍼시턴스의 증가가 거의 없다.

#### 《검사 패드를 이용하는 기능 선택》

도 44에는 64비트 싱크로너스 DRAM 칩에서의 본딩 패드 수와, 이 칩을 탑재한 종래의 TSOP(표면 실장 패키지)의 일종인 Thin Small Out-line Package)형 패키지에서의 외부 단자 수의 내역 예가 나타내어진다. TSOP형 패키지의 외부 단자인 리드와 칩의 본딩 패드는 금의 세선에 의한 와이어 본딩에 의해 접속한다.

신호 입출력용 본딩 패드는 1:1로 전부 패키지의 외부 단자에 접속한다. 전원용 본딩 패드 수는 패키지의 외부 단자 수보다 많아, 복수의 본딩 패드로부터 동일한 외부 단자에 공통으로 와이어 본딩한다.

기능 선택용 본딩 패드는 와이어 본딩시에 이를 본딩 패드를 개별로 전원 전압에 접속하거나, 혹은 비접속으로 함에 따라 동일한 칩을 다른 방식으로 동작시키기 위한 것으로, 입출력 비트 수(4비트, 8비트 또는 16비트), 뱅크 수(2뱅크 또는 4뱅크) 등을 선택한다.

프로11 검사 전용 본딩 패드는 프로브 검사 시에만 사용하여, 싱크로너스 DRAM 칩 내부의 동작 상황을 관측하기 위한 것으로, 패키지의 외부 단자에는 접속하지 않는다.

또한 패키지 외부 단자 중에는 외형을 다른 반도체 장치와 공통화하기 위해 전기적으로는 필요없는 외부 단자도 설치되어 있고, 칩의 본딩 패드와는 접속되지 않는다.

도 44의 단자 구성을 구비한 싱크로너스 DRAM과 같은 칩에 재배치 배선을 실시하여 플립 칩으로 하는 경우, 플립 칩의 완성품에 모든 본딩 패드에 대응하여 뱃남 범프 전극을 설치하면, 범프 전극의 수가 대폭 증가한다. 이 때문에, 한정된 칩 면적 내에 이를 다수의 범프 전극을 배치하면, 범프 전극의 간격이 좁아지며, 기판 실장 시의 위치 결정이 곤란해질과 함께 고가의 기판이 필요하다.

도 36에서 설명한 바와 같이 일부의 본딩 패드(202b)에 대해서는 범프 전극을 설치하지 않고 검사 패드(202b)만을 설치함에 따라, 뱃남 범프의 수를 증가시키지 않고, 재배치 배선 공정 후에 프로브 검사를 실시할 수 있다.

재배치 배선(205)을 실시하는 플립 칩형 반도체 집적 회로의 경우, 기능 선택용 본딩 패드의 접속은 다음 3가지 중 하나의 방법으로 행할 수 있다.

제1 방법은 모든 기능 선택용 본딩 패드에 대응한 뱃남 범프 전극(208)을 설치하며, 플립 칩형 반도체 집적 회로를 실장하는 기판측의 절선으로 기능을 선택하는 방법이다. 이 방법은 동일한 반도체 집적 회로를 각 사양으로 공통으로 사용할 수 있기 때문에 품종 수가 감소하고, 반도체 메이커측의 관리가 용이해짐과 함께 사용자측에서 기능을 선택할 수

공개특허 특2001-0108118

있다는 이점이 있다. 그러나, 범프 전극 수가 증대하여 범프 간격이 협소화를 초래함과 함께 특정 기능밖에 필요로 하지 않은 사용자에 대해서도 기판 배선의 추가를 요구하게 된다.

제2 방법은 개별의 기능마다 제배치 배선(205)의 결선 패턴을 바꾸는 방법이다. 이 방법에서는 기능 선택의 품종 수만 한 제배치 배선(205)의 패턴을 준비할 필요가 있다. 또한, 웨이퍼 배선 단계에서 기능이 고정되기 때문에, 품종사이의 수요 변화에 유연하게 대응하기 어렵다는 문제가 있다.

제3 방법은 삼기 안티 퓨즈(1)와 같은 전기 퓨즈를 이용하는 방식이다. 이 방법으로는 기능 선택의 모든 품종을 동일한 제배치 배선 패턴으로 형성할 수 있고, 또한 땜납 범프 전극 수의 증가를 등반하지 않는다. 기능 선택 즉 안티 퓨즈(1)의 설정은 프로보 검사처럼 범프 전극 하부 금속(207) 형성 후의 웨이퍼에 프로보를 접촉시킴에 따라 행한다. 안티 퓨즈(1)의 설정에 사용하는 단자는 땜납 범프 전극(208)에 접속하는 신호 입출력용 및 전원용 본딩 패드(202a)와 겸용으로 해도, 또한 땜납 범프 전극(208)에 접속하지 않은 검사 패드와 같은 전용 패드로서도 좋다. 후자인 경우에는 도 22의 트랜지스터 T9~T11로 구성되는 회로가 필요하다. 즉, 도 22의 예에 따르면, 안티 퓨즈의 프로그램 시에 단자 C (GND)에는 부 전압 Vbb'를 공급해야 하지만, 프로그램이 끝난 후에는 단자 CGND를 플로우팅(floating)해 둘 수 있어서, 접지 전압 Vss에 접합하지 않아도 자동적으로 접지 전압 Vss가 공급된다.

기능 선택을 안티 퓨즈에 의해 행하는 경우에는, 종래의 프로보 검사와 동시에 기능 선택을 행하는 것도 가능해지므로, 안티 퓨즈 설정 전용의 본딩 패드는 광의의 프로보 검사 전용 본딩 패드(202b)라고 간주할 수 있으며, 또한 안티 퓨즈 설정 시에 프로보를 접촉시키기 위한 패드는 광의의 검사 패드(209a, 209b)라고 간주할 수 있다.

도 36에서 설명한 바와 같이 일부의 본딩 패드(202b)에 대해서는 범프 전극을 설치하지 않고 검사 패드(202b)만을 설치하고, 이것을 기능 선택에 이용함으로써, 땜납 범프의 수를 증가시키지 않고, 제배치 배선 공정 후에 기능 선택을 실시할 수 있다.

#### 《제배치 배선 및 검사 패드의 그 밖의 구조》

도 45에는 제배치 배선 부분의 다른 구조가 단면도로 나타내어진다. 도 43의 구조에서는 표면 절연층(206) 개구 후에 땜납 범프 전극 하부 금속(207)을 형성하는데 대해 도 45의 구조에서는 제배치 배선(205) 상에 미리 땜납 범프 전극 하부 금속(207)을 형성한 후, 표면 절연층(206)을 형성하고, 본딩 패드(202) 직상부 및 땜납 범프 전극(208)의 형성부를 개구시킨다.

이 구조에 의해서도, 도 43의 구조와 동일한 효과를 얻을 수 있다. 특히, 도 43의 구조에서는 땜납 범프 전극 하부 금속(207)의 윤곽을 애칭 가공으로 형성하는 데 필요한 마스크가, 도 45의 구조에서는 불필요해지기 때문에, 가공 비용을 시감시킬 수 있다. 단, 도 43의 구조에서는 땜납 범프 전극(208)의 외주부 바로 아래에 하부 절연층(204)과 표면 절연층(206) 양방이 존재하는데 비해, 도 45에서는 하부 절연층(204)만으로 되어 있다. 이 때문에 도 43의 구조가 기판 설장 후에 반도체 장치와 실장 기판의 열팽창 차 등에 따라 범프 전극(208)에 작용하는 응력을 완화시키는 효과에 우수하며, 윤도 변화의 반복이나, 외력에 의한 기판 변형의 반복 등에 대한 땜납 범프 전극의 접속 신뢰성이 높아진다.

도 46에는 검사 패드의 레이아웃 구성의 다른 예가 나타내어지며, 그 단면 구조가 도 47에 예시된다. 검사 패드(209a)는 본딩 패드(202a)를 끼워 땜납 범프 전극(208)과 반대측 표면 절연층(206) 상에 범프 전극 하부 금속층(297)에 의해 형성되어 있다.

프로보 검사 전용 본딩 패드(202b)에 대해서도 표면 절연층(206) 상의 인접부에 범프 전극 하부 금속층(297)에 의해 검사 패드(209b)가 형성되어 있다.

공개특허 특2001-0108118

검사 페드(209a)를 본딩 페드(202a) 바로 상측으로부터 어긋나게 하고, 범프 전극 하부 금속(207)으로 형성해 두므로, 만약 프로브 검사 시에 검사 페드(209a)가 손상해도, 본딩 페드(202a)나 재배치 배선(205)이 노출하는 경우는 없다. 따라서 본딩 페드(202a)와 범프 전극 하부 금속(207) 사이의 전기적 접속이 수분에 의한 부식 등에 따라 절단될 우려는 없다. 본딩 페드(202) 직상부에 검사 페드(209)를 설치하는 도 43이나 도 45의 구조에 비해 평坦한 검사 페드(209)를 얻을 수 있다.

도 46과 같이 검증점선 상 혹은 그 근방에 본딩 페드(202)를 배열하고, 열의 양측에 땜납 범프 전극(208)을 배치하는 구조의 경우 반도체 접착 회로에서는 본딩 페드 열의 양측에 상호 혹은 수개 간격으로 반대측에 재배치 배선(205)을 만들기도, 검사 페드(209)를 본딩 페드 열의 양측에 분류하여 배치함으로써, 본딩 페드 열의 바로 상부 혹은 동일 쪽에 설치하는 것보다 근 치수의 검사 페드(209)를 설치할 수 있다.

검사 페드(209)는 하부 절연층(204)과 표면 절연층(206)이 적층된 후에 형성되기 때문에, 하부의 반도체 회로 소자로부터의 거리를 크게 할 수 있고, 검사 페드(209)의 부가에 의한 캐페시턴스의 증가를 경감시킬 수 있다.

또한 하부 절연층(204), 표면 절연층(206) 중 한 쪽에 폴리이미드 등의 유기 절연막을 사용하면, 일반 무기 절연막에 비해 비유전성이 낮기 때문에, 캐페시턴스 저감 효과가 커져, 양쪽에 사용하면 최대의 효과를 얻을 수 있다.

또한, 검사 페드(209)의 하부가 되는 표면 절연층(204)에 폴리이미드 등의 유기 절연막을 사용하는 경우, 일반 무기 절연막에 비교하여 반성률이 낮기 때문에, 검사 페드(209)를 크롬, 니켈 등 딱딱한 땜납 범프 하부 금속(207)으로 형성한 경우라도 검사 페드(209)의 표면이 변형하기 쉬워진다. 이 때문에, 프로브(211) 선단과의 접촉 면적이 커지고, 전기적 접속성이 향상된다. 이 효과는 유기 절연막을 하부 절연층(204)과 표면 절연층(206) 양방에 사용함으로써 한층 현저하게 나타난다.

도 48에서는 검사 페드의 단면 구조의 다른 예가 나타내어진다. 도 47과의 차이는 도 43에 대한 도 45의 관계와 같이 범프 전극 하부 금속(207) 형성을 위한 마스크를 생략하여, 비용을 저감 가능하게 한 점이다. 즉, 도 47인 경우에는 검사 페드(209a) 표면의 땜납 범프 전극 하부 금속층(297) 밑에 접하여 재배치 배선층(205)이 존재하기 때문에, 프로브 검사 시에 땜납 범프 전극 하부 금속층(297)이 손상을 받으면, 재배치 배선층(205)이 노출할 가능성이 있다. 그래서, 도 47과 같이 검사 페드(209a)와 땜납 범프 전극(208)을 상호 본딩 페드(202a)의 반대측에 배치함으로써, 만약 검사 페드(209a) 부분의 재배치 배선층(205)에 부식 등이 생겨도 본딩 페드(202a)와 땜납 범프 전극(208) 사이의 전기적 접속에는 영향을 주지 않기 때문에 높은 접속 신뢰성을 얻을 수 있다.

도 49에서는 검사 페드(209a)가 하부 절연층(204) 상에 형성되기 때문에, 도 47의 실시예에 비교하면 캐페시턴스 저감 효과는 작다. 그러나, 도 47보다 저비용으로 제조할 수 있고, 하부 절연층(204)을 유기 절연막으로 형성함으로써, 무기 절연막 상에 검사 페드를 형성하는 특개평8-29451호 공보 기재의 기술 등에 비교하여 검사 페드(209)의 부가에 의한 캐페시턴스 증대를 경감시키는 효과가 있다. 또한, 도 48의 구조에서도 하부 절연층(204)을 유기 절연막으로 염성함으로써, 그 위에 형성하는 검사 페드(209)의 표면이 변형하기 쉬워지기 때문에 프로브(211)와의 접촉성이 향상된다.

도 50에서는 검사 페드의 레이아웃 구성의 다른 예가 나타내어지고, 그 단면 구조가 도 50에 예시된다. 전원 또는 신호 입출력용 본딩 페드(202a)에 대응한 검사 페드(209a)는 본딩 페드(202a)와 땜납 범프 전극 하부 금속(207)을 접속하는 재배치 배선(205) 도중으로부터 분기한 위치의 표면 절연층(206) 상에 형성되어 있다. 프로브 검사 전용 본딩

공개특허 특2001-0108118

제41(202b)에 대해서는 본딩 페드 직상부에 검사 페드(209b)를 설치하고 있다. 이러한 위치에 검사 페드(209a)를 설치해도, 본딩 페드(202a) 바로 상부에 비교하여 평탄한 검사 페드를 얻을 수 있다. 캐페시턴스 저감 효과는 도 47과 마찬가지이다.

검사 페드(209a)는 재배치 배선(205)으로부터 분기하여 형성되기 때문에, 프로브 검사로 검사 페드(209a)가 손상해도, 본딩 페드(202a)와 맴남 범프 전극 하부 금속(207)사이의 전기적 접속 신뢰성에는 영향을 주지 않는다.

프로브 검사 전용 본딩 페드(202b)에 대해서는, 맴남 범프 전극(208)과의 접속 신뢰성이 부관하기 때문에, 특히 검사 페드(209b) 손상의 영향을 고려할 필요는 없고, 도 49와 같이 본딩 페드(202b)의 직상부나 임의의 위치에 설치해 두어야 문제는 없다. 표면 절연층(206) 또는 표면 절연층(206)과 하부 절연층(204) 양방에 유기 절연막을 사용함으로써 검사 페드(202)와 프로브(211)와의 접촉성이 향상하는 것은 도 47의 구조와 마찬가지이다.

도 51은 프로브 검사 전용 본딩 페드(202b)에만 검사 페드(209b)를 설치한 예가 나타내여진다. 프로브 검사 전용 본딩 페드(202b)에는 상기 본딩 페드(202b)보다 크게 형성한 검사 페드(209b)를 설치하고, 전원 및 신호 입출력용 본딩 페드(202a)에 대해서는 맴남 범프 전극(208) 형성 전의 맴남 범프 전극 하부 금속(207)을 사용하여 프로브 검사를 행한다.

검사 페드(209b)가 불가결하면서, 전기 특성에 부관한 프로브 검사용 본딩 페드(202b)에만 검사 페드(209b)를 설치함에 따라, 다른 본딩 페드, 특히 신호 입출력용 배선의 캐페시턴스 증가를 방지할 수 있다. 또한, 검사 페드의 수가 적어도 되므로, 전기 특성에도 영향을 주지 않기 때문에, 검사 페드(209b)의 치수 및 간격을 충분히 크게 하는 것이 가능하다.

도 52는 검사 페드(209)를 본딩 페드(202) 측방의 재배치 배선(205)으로부터 본딩 페드(202)의 바로 위를 향하여 연장시킨 예를 나타내는 단면도이다. 본딩 페드(202)의 바로 위를 이용함으로써, 캐페시턴스를 증가시키지 않고, 평坦하여 치수가 큰 검사 페드(209)를 형성할 수 있고, 또한 검사 페드(209)의 손상이 전기적 접속 신뢰성에 영향을 주지 않는다. 이 구조의 경우에도, 표면 절연층(206)을 유기 절연막으로 형성함으로써, 검사 페드(202)와 프로브(211)와의 접촉성이 향상된다.

#### 《플립 칩형 반도체 접적 회로의 제조 방법》

도 53~도 57에는 플립 칩형 반도체 접적 회로의 제조 공정이 각 단계마다 사시도로 나타내어진다.

도 53은 품래의 와이어 본딩 접속용 웨이퍼의 완성 단계이다. 즉, 상기 도 37의 상태에서의 웨이퍼(220)의 전체를 나타낸 도면이고, 각 칩(210)에는 각각 상기 본딩 페드(202)가 형성되어 있다.

플립 칩형 반도체 접적 회로를 제조하기 위해서는, 우선 도 54의 웨이퍼(220)에 도 38~도 41에 예시된 바와 같이 하부 절연층(204), 재배치 배선(205), 표면 절연층(206), 및 범프 전극 하부 금속(207) 등을 형성하고, 도 54에 도시된 바와 같은 범프 전극 하부 금속(207)이 형성된 상태의 웨이퍼(220)를 얻는다. 도 54의 상태는 단면에서는 도 41의 상태에 상당한다.

이어서 도 55에 도시된 바와 같이 복수의 프로브(211)를 그 선단이 웨이퍼(220) 상의 복수의 검사 페드(209)(도 55에서는 도시를 생략)에 동시에 접촉하도록 위치 결정하여 고정한 프로브 카드(221)를 사용하여 프로브 검사를 행한다.

복수의 프로브(211)를 동시에 복수의 검사 페드(209)에 접촉시킴으로써, 칩(210)의 1 갯수분 또는 복수개분의 검사 페드(209)를 동시에 검사하고, 접촉 위치를 순차 이동시켜 검사를 행함으로써 웨이퍼(220) 상의 모든 칩(210)에 대해 프로브 검사를 행한다. 이 때, 동일하거나 동일한 별개의 프로브 카드(221)를 이용하여 기능 선택이나 결합 구제를 동시에 하거나 연속으로 행할 수 있다.

공개특허 특2001-0108118

이어서, 땜납 범프 전극의 형성 공정을, 땜납 페이스트 인쇄 방식을 예로 들어 도 56에 의해 설명한다. 도시된 바와 같이 웨이퍼(220) 표면의 범프 전극 하부 금속(207)의 배치에 대응하여 개구(223)를 형성한 땜납 인쇄 마스크(222)를, 웨이퍼(220) 상에 위치 정렬하여 중첩하고, 스키지(224)에 의해 땜납 페이스트(225)를 인쇄한다. 인쇄 직후의 상태에서는 도면 중의 단면도로 도시된 바와 같이, 땜납 페이스트(225)가 범프 전극 하부 금속(207)보다 약간 넓은 영역에 평坦하게 인쇄되어 있다. 이 웨이퍼를 리플로우 가열하고, 땜납 페이스트(225)를 융용시키면, 땜납이 구형으로 융집하고, 땜납 범프 전극(208)이 형성된다.

범프 전극(208) 형성 후의 웨이퍼(220)는 도 57에 도시된 바와 같이 다이싱 블레이드(226)에 의해 개편의 칩(210)으로 절단 분리함으로써, 플립 칩형 반도체 집적 회로의 완성품을 얻을 수 있다. 완성품에는 더욱 필요에 따라 번인 검사나 성능, 외관 등의 각종 최종 검사가 실시되며, 소정의 마킹이나 포장을 행한 후 출하된다.

#### 《제배치 배선 형성 공정 이후의 제조 공정》

도 58은 본 발명의 플립 칩형 반도체 집적 회로의 재배치 배선 형성 공정 이후의 제조 공정 플로우를 (a), (b), (c), (d)의 4가지로 나타내고 있다. 도 58에 도시된 제조 플로우는, 상기 도 43의 구조를 일례로 하면, 절연층(204) 상에 재배지 배선(205)을 형성하는 재배지 배선 형성 S1, 206과 같은 절연층을 형성하는 표면 절연층 형성 S2, 207과 같은 범프 전극 하부 금속 그리고 검사 페드(209)의 하부 금속(297) 등을 형성하는 범프 전극 하부 금속 형성 S3, 상기 안티 퓨즈(1)의 프로그램에 의한 모드 설정과 같은 기능 선택 S4, 프로브 검사 S5, 상기 안티 퓨즈(1)의 프로그램에 의한 불량 비트 치환과 같은 결합 구제 S6, 범프 전극을 형성하는 범프 형성 S7, 웨이퍼로부터 칩을 추출하는 개편 절단(다이싱) S8, 번인 S9 및 최종 검사 S10의 각 공정을 포함한다.

도 58의 (a)에 도시된 제조의 플로우는, 번인 S9 즉 고온에서의 연속 동작 검사를 개편 절단 S8 후에 칩 단위로 행하는 경우의 제조 플로우이다. 플립 칩형 반도체 집적 회로에서는 재배지 배선에 의해 땜납 범프 전극의 간격을 본딩 패드의 간격(60~150 $\mu$ m 정도)보다 넓히기 때문에(0.5~1.0mm 정도), BGA(볼 그리드 어레이)형의 CSP(칩 사이즈 패키지)에 사용되는 번인용 소켓을 사용함으로써, 용이하게 칩 단위에서의 번인을 행할 수 있다. 즉, 번인 공정에 앞서 미리 칩 상에 범프 전극이 형성되며, 또한 그 범프 전극의 배열 패턴을 번인용 소켓의 전극 배열 패턴에 대응시킴에 따라 특별한 사양의 번인용 소켓을 새로이 준비할 필요가 없으므로, 플립 칩형 반도체 집적 회로의 조립 비용을 저감시키는 것이 가능하다. 또한, 상기 범프 전극을 접속 단자로서 이용한 상기 번인용 소켓을 이용하지 않은 경우라도 상기 검사 패드(209)를 이용하여 번인을 위한 전기적 접속을 행하는 것은 가능하다. 이 경우에는 범프 전극 사이에 배치된 검사용 패드에 프로방이 가능한 험피치의 고가의 번인용 접촉자가 필요해지는 반면, 소켓의 고온에서의 접촉에 의한 땜납 범프 전극(208)의 변형을 방지할 수 있다.

도 58의 (b) 및 (c)의 제조 플로우는 번인 S9를 개편 절단 S8 전에 웨이퍼 단계에서 행한다. 특히 도 58의 (b)는 상기 검사 패드(209) 또는 땜납 범프 전극(208)의 형성 전의 범프 하부 금속(207)을 이용하여 땜납 범프 전극 형성 전에 번인을 행하는 경우의 제조 플로우이다. 범프 전극을 사용하지 않고 번인의 전기적 접속을 행하기 때문에, 번인용 소켓의 고온 완성 하에서의 접촉에 의한 땜납 범프 전극의 변형을 방지할 수 있다. 또한 땜납 범프 전극 형성 전의 평탄한 단계에서 번인을 행하기 때문에, 땜납 범프 전극(208)이 장해가 되지 않고 용이하게 검사 패드(209)에 소켓 등의 번인용 접촉자를 접촉시킬 수 있다. 또한, 웨이퍼 단계에서 번인을 행하므로, 복수 칩을 일괄하여 번인할 수 있어서, 검사의 시리얼을 향상시키는 것이 가능하다.

도 58의 (c)는 땜납 범프 전극 형성 후에 번인을 행하는 경우의 제조 플로우를 나타낸다. 번인용 접촉자는 땜납 범프

공개특허 톤2001-0108118

전극(208)에 접촉시킨다. 뱀납 범프 전극(208)에 번인용 접촉자를 접촉시키는 경우에는 번인 시에 뱀납 범프 전극(208)에 번인을 생기게 하기 쉽지만, 범프 전극 하부 금속(207)에 손상 혹은 표면 열화를 생기게 할 위험성이 없고, 신뢰성이 높은 범프 하부 금속, 재배치 배선의 형성이 가능하게 된다. 이 경우에도, 도 58의 (b)와 마찬가지로 웨이퍼 단계에서 번인을 행하기 때문에, 검사의 처리량을 향상시키는 것이 가능하다.

도 58의 (d)에 도시된 제조 플로우는 도 58의 (a)~(c)의 각 플로우의 표면 절연층 형성 S2와 공정과 범프 전극 하부 금속 형성 S3의 공정을 교체시킨 제조 플로우이고, 기능 선택 공정 이후의 공정은 도 58의 (a)~(c) 중 하나의 제조 플로우와 공통이다. 도 58의 (a)~(c)와 도 58의 (d)와의 관계는 도 43 및 도 47의 구조와, 도 45 및 도 48의 구조와의 관계에 대응하며, 도 58의 (d)의 제조 플로우에서는 재배치 배선(205)과 범프 하부 금속(207)을 동일한 공정으로 형성했으므로, 도 58의 (a)~(c)의 제조 플로우에 비교하여 범프 전극 하부 금속의 형성 비용을 저감시킬 수 있다.

또한, 반도체 집적 회로 소자가 충분히 확립된 프로세스로 제조되며, 불량율이 낮은 경우에는 번인이 생략되는 경우도 있다. 이 경우에는, 도 58의 (a)~(c)의 각 제조 플로우는 완전히 동일해져 차이는 없어진다.

도 59에는 이상의 각 제조 공정 플로우에서의 프로브 검사 S5, 번인 S9, 최종 검사 S10의 각 검사 공정에서의 프로브, 소켓 등의 접 접촉 기소를 통합하여 나타내고 있다. 도 59에서, 프로브 검사 전용 단자(페드)는 프로브 검사(왕의로는 기능 선택, 절합 구체를 포함함) 시에만 사용하고, 본 발명에서 진술한 검사 패드(209)에 프로브를 접촉시킨다.

전원 공급 및 신호 입출력용 단자에 대해서는, 프로브 검사 시 및 번인 시의 접촉 개소는 상기 도 58의 (a)~(c)의 어떤 플로우를 선택할지에 따라 다르다. 단 최종 검사는 어떤 경우도 완성품으로서의 뱀납 범프 전극을 사용하여 행한다.

도 58의 각 제조 공정 플로우에서는, 모두 기능 선택 S4, 프로브 검사 S5, 결합 구체 S6을 연속하여 실시하고 있다. 기능 선택 S4와 결합 구체 S6에 안티 퓨즈를 이용하는 경우, 이들 3가지 공정은 모두 프로브를 웨이퍼에 접촉시킴에 따라 전기적 저리에(레이저에 의한 퓨즈 절단이나 재배치 배선의 변경을 동반하지 않음) 의해서만 행할 수 있으므로, 1회의 프로빙으로 (즉 다른 칩에 대한 프로빙 후에 재차 프로빙하지 않음) 3공정을 일괄하여 처리할 수 있고, 공정을 간략화하는 것이 가능해진다. 이 경우에는 기능 선택이나 결합 구제도 왕의의 프로브 검사에 포함시킬 수 있다.

도 58의 각 제조 공정 플로우에서는 모두 뱀납 범프 전극 형성 S9를 도 56로 나타낸 방법등으로 개편 절단 S8 전의 웨이퍼 단계에서 일관하여 행하며, 개편의 칩마다 뱀납 범프 전극을 형성하는 종래의 BGA나 CSP의 제조 공정에 비교하여 높은 것으로 뱀납 범프 전극을 형성할 수 있다.

또한 기능 선택 S4, 프로브 검사 S5, 결합 구체 S6의 3가지 공정을 뱀납 범프 전극 형성 S7 전에 행함으로써, 뱀납 범프의 둘기가 잡해가 되지 않고 용이하게 프로빙을 행할 수 있다.

기능 선택 S4는 프로브 검사 S5 또는 결합 구체 S6 후에 실시하는 것도 가능하다. 그러나, 기능 선택 S4를 프로브 검사 S5 전에 실시하면, 프로브 검사 S5일 때에는 미리 선택한 기능에 대해서만 검사를 행하면 되므로, 검사 항목을 삭감하여 검사 능률을 향상시키는 것이 가능해진다.

기능 선택 S4에 의해 얻어지는 각 품종 사이의 수요 비율은 시장의 동향에 의해 항상 변화한다. 따라서 수요의 변화에 유연하게 대응하며, 또한 품종마다의 재고량을 최소한으로 하기 위해서는 기능 선택 전의 상태에서 재고를 구비한 것이 바람직하며, 또한 기능 선택 후의 공정이 가능한 한 단기간에 대응할 수 있는 것이 바람직하다. 기능 선택에 안티 퓨즈를 이용함으로써, 모든 품종에 동일한 재배치 배선 패턴을 실시하고, 범프 전극 형성 직전인 상태에서 재고 보관할 수 있다. 이에 따라 수요 변화에 따라 단기간에 필요한 품종을 제조할 수 있고, 재고량도 삭감하는 것이 가능해진다.

공개특허 특2001-0108118

도 58에서 설명한 제조 플로우에 대해서는 상기된 바와 반대로 상기 프로그램 소자에 의한 기능 선택 S4를 상기 범프 전극의 형성 S7 후에 행할 수 있다. 이 경우에는, 기능 선택을 위해 프로그램 소자로 전입을 인가하기 위한 전극을 둘기 전극과 마찬가지로 반도체 접적 회로의 표면에 노출시켜 둘 필요가 있다. 단, 기능 선택에 따르는 처리를 제외하고는 웨이퍼 광정의 대부분을 끝낸 상태에서 반도체 접적 회로가 재고되므로, 재고 관리가 용이하다.

이상 설명한 플립 접착 반도체 접적 회로 및 그 제조 방법에 따르면 이하의 작용 효과를 얻을 수 있다.

[11] 플립 접착 반도체 접적 회로(80, 100)에 안티 퓨즈(1)와 같은 프로그램 소자를 채택하므로, 프로그램 소자로서 웨이퍼로 용이 가능한 퓨즈를 이용함으로써 현제화되는 신뢰성의 저하를 전혀 발생시키지 않는다.

상기 재배치 배선(205)과 같은 도전층을 상기 페드(202a, 202b)와 같은 단자의 배열에 대한 둘기형 전극(208)의 재배치용 배선으로서 이용하는 경우, 상기 도전층의 상하로 절연막(204, 206)을 배치하면, 둘기형 전극을 통해 반도체 기판에 제공되는 응력과 왜곡 상태를 완화시킬 수 있다.

플립 접착 반도체 접적 회로는, 프로브 검사를 위한 검사 페드 등에 이용할 수 있는 페드 전극(209a, 209b)을 표면에 노출시켜 놓 수 있다. 프로그램 소자에 소정의 전위차를 형성하기 위한 전압 인가에 상기 페드 전극 중 일부의 페드 전극(209b)을 이용할 수 있다. 프로그램 소자를 프로그램한 후, 페드 전극을 부유하면 좋은 회로 구성(도 22의 트랜지스터 T9 ~ T11을 포함하는 회로)인 경우에는 페드 전극(209b)에는 둘기형 전극(208)을 할당하지 않아도 좋다. 이렇게 하면, 플립 접착 반도체 접적 회로의 프로그램 소자의 상태를 전기적으로 변경하기 위해 필요해지는 전극이 그 밖의 용도의 둘기형 전극의 수를 제한하지 않는다. 이에 대해, 프로그램 소자를 프로그램한 후, 페드 전극을 접지 전위 Vss 또는 전원 전압 Vcc에 강제해야하는 회로 구성인 경우에는 페드 전극(209b)에는 둘기형 전극(208)을 할당하고, 기관 실장시에 상기 둘기형 전극을 배선 기판 상의 전원 배선에 접속해 두면 좋다.

상기 안티 퓨즈(1)와 같은 프로그램 소자에 소정의 전위차를 형성하기 위한 전압이 Vbb'나 VDD와 같이 프로그램 소자 이외의 회로의 통상의 동작 전원 전압 Vss, Vcc와 상이한 전압인 경우에는 상기 프로그램용 전압의 인가 전극을 복수의 프로그램 소자에 공통화하면, 그와 같은 외부 단자의 수를 줄일 수 있다.

안티 퓨즈(1)의 절연막을 파괴하기 위해 정전압 VDD와 부전압 Vbb'을 이용하므로, 안티 퓨즈(1)의 파괴용 전위차를 얻을 때, 회로의 접지 전압 Vss를 기준으로 한 절대치적인 전압을 거의 통상의 동작의 전압으로 억제하는 것이 가능해진다.

상기 안티 퓨즈(1)와 같은 프로그램 소자는 불량 구제에 이용할 수 있다. 또한, 상기 프로그램 소자는 반도체 접적 회로의 기능 선택에 이용할 수 있다. 이에 따라, 플립 접착 반도체 접적 회로에서 둘기형 전극을 형성한 후라도 기능 선택 혹은 통작 보드 선택이라는 점에서 본딩 음선과 동등한 용통성을 간단히 얻을 수 있다. 상기 안티 퓨즈와 같은 프로그램 소자는 회로의 특성을 선택하기 위한 트리밍 정보의 기억 수단으로서 채택할 수도 있다.

[12] 플립 접착 반도체 접적 회로에 안티 퓨즈(1)와 같은 프로그램 소자를 채택한 반도체 접적 회로의 제조 방법은 예를 들면, 종래의 본딩 와이어 접속용 본딩 페드(202)를 구비한 웨이퍼 등을 완성시키는 제1 공정 외에 상기 본딩 페드(202) 일부에 대응하는 실장 접속용의 여러 범프 전극(208)을 형성하는 제2 공정 S7과, 상기 웨이퍼에 형성되는 회로를 검사하는 제3 공정 S5와, 상기 제3 공정에 의한 검사 결과에 따라 결함 부분을 구제 회로로 대체하는 제4 공정 S6과, 번인을 행하는 제5 공정 S9와, 상기 웨이퍼를 다이싱하는 제6 공정 S8을 포함한다. 그리고, 상기 안티 퓨즈(1)의 상태를 불가역적으로 변화시켜 상기 회로의 기능을 선택하는 제7 공정 S4를 포함한다. 상기된 바에 따라, 웨이퍼로 용이 가능핚 퓨즈를 프로그램 소자로서 이용하지 않고, 반도체 접적 회로의 기능 선택이 가능하다. 이에 따라, 기능 선택이 실시되어 제조된 플립 접착 반도체 접적 회로의 수율 향상 및 신뢰성 향상에 기여할 수 있다.

공개특허 특2001-0108118

상기 프로그램 소자에 의한 기능 선택을 상기 범프 전극(208)의 형성 전에 행할 수 있다. 즉, 상기 제7 공정 S4 후에 상기 제2 공정 S7을 행한다. 범프 전극(208)을 형성한 후에는 웨이퍼 상에 적지 않게 요철이 생긴다. 범프 전극(208)의 형성 전에 기능 선택을 행하면, 그로 인한 안티 퓨즈(1)에의 전압 인가용 페드 혹은 단자에 대한 프로브의 접촉이 용이하여, 기능 선택의 작업 능률을 향상시킬 수 있다.

상기된 바와 반대로, 상기 안티 퓨즈(1)에 의한 기능 선택 S4를 상기 범프 전극(208)의 형성(S7) 후에 행할 수 있다. 이 경우에는, 기능 선택을 위해 안티 퓨즈(1)에 전압을 인가하기 위한 전극을 범프 전극(208)과 마찬가지로 반도체 접적 회로의 표면에 노출시켜 둘 필요가 있다. 단, 기능 선택에 따르는 처리를 제외하고는 웨이퍼 공정의 대부분을 끝낸 상태에서 반도체 접적 회로를 재고할 수 있으므로, 재고 관리가 용이하다.

상기 결합 부분을 구제 회로로 대체하는 상기 제4 공정 S6에서 상기 치환은 상기 안티 퓨즈(1)의 상태를 불가역적으로 변화시켜 행할 수 있다. 이 때, 기능 선택 S4, 검사 S5, 및 구제 S6의 각 공정은 1 회로 프로빙 처리로 끝낼 수 있다. 즉, 상기 제3 공정, 상기 제4 공정 및 상기 제7 공정을 연속적으로 행하고, 각 공정에는 필요에 따라 상기 단자 또는 범프 전극(208)에 대한 프로빙 처리를 포함한다. 기능 선택 S4, 검사 S5, 및 구제 S6의 각 공정 후에 범프 전극(208)을 형성하면(S7), 안티 퓨즈(1)에의 전압 인가용 페드 혹은 단자에 대한 프로브의 접촉이 용이하고, 기능 선택은 원래보다 검사 및 구제의 작업 능률도 향상시킬 수 있다.

상기 번인을 행하는 제5 공정 S9 후에 제2 공정에 의해 범프 전극(208)을 형성하면(S7), 고온 환경 하에서의 둘기형 전극의 번혁을 고려하지 않아도 되므로, 그 점에서 번인을 용이하게 행할 수 있다.

[3] 풀립 칩형 반도체 접적 회로에서의 결합 부분을 구제 회로로 대체하는 것에 주목했을 때, 반도체 접적 회로의 제조 방법은 예를 들면, 종래의 본딩 와이어 접속용 본딩 페드(202)를 구비한 웨이퍼 등을 완성시키는 제1 공정 이외에 상기 본딩 페드(202)의 일부에 대응하는 실장 접속용의 여러개의 범프 전극(208)을 형성하는 제2 공정 S7과, 상기 웨이퍼에 형성되는 회로를 검사하는 제3 공정 S5와, 상기 제3 공정에 의한 검사 결과에 따라 결합 부분을 구제 회로로 대체하는 제4 공정 S6과, 번인을 행하는 제5 공정 S9와, 상기 웨이퍼를 다이싱하는 제6 공정 S8을 포함하고, 상기 제4 공정 S6은 상기 안티 퓨즈(1)의 상태를 불가역적으로 변화시켜 상기 치환을 행하는 공정이 된다. 상기 제4 공정에서는, 예를 들면, 상기 복수의 본딩 페드(202) 중 상기 안티 퓨즈(1)에 접속되는 소정의 단자를 통해 상기 안티 퓨즈(1)에 소정의 전위자를 형성하기 위한 전압을 인가한다. 상기된 바에 따라 레이저로 용단 가능한 퓨즈를 프로그램 소자로서 이용하지 않고, 반도체 접적 회로의 결합 구제가 가능하다. 이에 따라, 구제가 실시되어 제조된 풀립 칩형 반도체 접적 회로의 수율 향상 및 신뢰성 향상에 기여할 수 있다.

[4] 풀립 칩형 반도체 접적 회로의 프로브 검사에 주목했을 때, 범프 전극이 설치되지 않고 프로브 검사에만 이용되는 본딩 페드와 같은 단자(202b)의 바로 상부 혹은 근방에 재배치 배선층(205) 혹은 범프 전극 하부 금속층(297) 등의 노선층을 이용한 검사 페드(209b)를 설치한다. 즉, 상기 검사 페드(209b)를 범프 전극(208)과 배타적으로 설치한다. 이에 따라 회로 기판으로의 실장이라는 의미로 실용적인 간격에서의 범프 전극의 배치를 최대한으로 용이화할 수 있다.

범프 전극(208)을 설치하는 본딩 페드(202a)와 같은 단자에 대해서도 동일한 검사 페드(209a)를 설치해도 좋다.

프로브 검사는 이들의 검사 페드(209a, 209b)를 이용하거나, 상기 검사 페드(209b)와 함께 범프 전극 형성 전의 범프 전극 하부 금속(207)을 병용하여 실시한다. 상기된 바에 따라, 검사 페드(209b)를 사용함으로써 프로브 검사 전용 페드를 위한 범프 전극을 추가하지 않아도 좋다. 범프 전극(208)을 구비한 단자에 대해서도 검사 페드(209a)를 추가함으로써, 웨이퍼 프로브 검사를 검사 페드(209a, 209b)만을 이용하여 용이하게 행할 수 있다.

또한, 본딩 페드와 같은 단자의 근방에 설치되어 범프 전극 하부 금속보다 치수가 작은 검사 페드(209a, 209b)를 사용함으로써, 재배치 배선 공정 후에 프로브 검사를 실시할 수 있다.

공개특허 등2001-0108118

또한, 폴리아미드 등의 유기 절연층(204) 상에 재배치 배선(205)과 같은 도전층 및 검사 패드를 형성한다. 비유전률이 작아 후막화(后膜化)가 용이한 유기 절연층 상에 검사 패드를 설치함에 따라, 검사 패드와 하부 반도체 회로사이의 캐페시턴스를 저감시키는 것이 가능해진다. 또, 유기 절연층의 탄성 계수가 비교적 작기 때문에, 검사 패드 표면이 변형하기 쉬워지며, 프로보의 접촉성이 향상된다.

그리고, 재배치 배선 상에 절연층(206)을 형성하고, 그 위에 범프 전극 하부 금속(207) 및 검사 패드(209b)를 형성한다. 따라서, 재배치 배선의 상하 2층의 절연층(204, 206)을 적층한 후에 검사 패드를 설치함에 따라, 검사 패드와 하부 반도체 회로사이의 캐페시턴스를 저감시키는 것이 가능해진다.

[5] 상기 검사 패드를 설치한 구조의 반도체 접적 회로의 제조 방법에 있어서, 번인은 범프 전극 형성 후 다이싱하고 나서 행하거나, 그 반대로 번인 후 범프 전극을 형성하여 다이싱을 행해도 좋다. 전자에서는, 플립 칩형 반도체 접적 회로와 마찬가지로 일부 접속 전극이 영역 어레이형으로 맴핑된 BGA(불그리드 어레이)형의 반도체 칩을 위해 준비되어 있는 번인용 소켓을 유용할 수 있거나, 범프 전극의 영역 어레이형의 배열을 기준의 번인용 소켓의 단자 배열에 맞춤에 따라, 특별한 사양의 번인용 소켓을 세로이 준비하지 않아도 되며, 칩 단위에서의 번인을 용이하게 행할 수 있고, 또한 검사 비용의 저감에도 기여한다. 후자는, 프로보 검사뿐만 아니라, 번인도 검사 패드(209a, 209b) 혹은 검사 패드(209b)와 범프 전극 하부 금속(207)을 이용하여 행할 수 있다. 따라서, 고온하에서 소켓에 접속함으로써 땀납 범프 전극과 같은 불기행 전극이 변형하는 것을 방지할 수 있다.

이상 본 발명자에 의해 이루어진 발명을 실시 형태에 기초하여 구체적으로 설명했지만, 본 발명은 그것에 한정되는 것은 아니고, 그 요지들 일탈하지 않은 범위에서 여러가지로 변경 가능한 것은 물론이다.

예를 들면, 결합 구체, 가능 선택, 트리밍 등의 수단은 DRAM이나 성크로너스 DRAM 외에 SRAM, EEPROM, 플래시 메모리, 불휘발성 기억 소자를 이용한 프로그래머블 로직 어레이 등의 각종 메모리, 그리고 마이크로 컴퓨터나 마이크로 프로세서 등의 여러 논리 LSI에도 적용할 수 있다.

또한, 프로그램 소자는 전위차에 따라 절연 파괴되는 안티 퓨즈에 한정되지 않고, 전위차에 의해 용융되어 고저항 상태가 되는 그 밖의 전기 퓨즈라도 좋다. 또한, 결합 구체에서의 구체 어드레스의 액세스 판정에 셀렉터(3) 등을 이용하는 구성을 일례로서, 여러가지로 회로 구성을 채택할 수 있다. 마찬가지로, 안티 퓨즈 회로의 구성, 어드레스 비교 회로의 구성을 대해서도 여러가지로 변경 가능하다. 또한, 본딩 옵션을 대신하는 기능 선택이나 트리밍에 대해서도 그 밖의 용도에 적용할 수 있다.

안티 퓨즈와 같은 프로그램 소자에 인가하는 전위차는 부극성의 전압과 정극성의 전압의 쌍방을 이용하는 것에 한정되지 않는다. 회로의 접지 전압 기준으로 한쪽 극성의 전압만을 이용하도록 해도 좋다.

또한, Vbb'와 같은 부전압의 입력 단자는 퓨즈 프로그램의 전용 단자인 것에 한정되지 않는다. 어드레스 입력 단자 등의 특정한 일부 단자를 겸용해도 좋다. 겸용 단자는 예를 들면, 프로그램 모드로 상기 CGND와 같은 단자 기능이 선택되는 것이다.

또한, 이상의 설명에서는 와이어 본딩 접속용 웨이퍼에 재배치 배선이나 검사 패드 및 범프 전극을 추가한 제조 공정을 거쳐 플립 칩형 반도체 접적 회로를 구성하였다. 본 발명은 그와 같은 사고 방식에 한정되지 않고, 당초부터 플립 칩형 반도체 접적 회로를 제조하는 것을 기도한 공정을 거칠 수 있다. 그 경우에는, 본딩 패드와 같은 패드 전극을 설치하지 않아도 좋다. 재배치 배선과 같은 도전층에 접속하는 단자가 있으면 좋다.

전기 퓨즈는, 그 양단에 소정 전압이 제공됨에 따라 전기 퓨즈의 양단(전류 경로)의 저항치가 커지는 구성이나 반대로 작아지는 구성(안티 퓨즈) 외에 이하의 것을 이용해도 좋다. 즉, 전기 퓨즈는 가역적으로 정보를 보유 가능한 소자로 구성해도 좋다. 예를 들면, EEPROM, FRAM, 플래시 메모리등으로 전기 퓨즈를 구성해도 좋다. 또는, 한번만 기입 가능한 ROM이나 EEPROM으로 전기 퓨즈를 구성해도 좋다.

공개특허 특2001-0108118

첨부된 이동 가능

본 발명은 반도체 기판에 회로 기판 실장용의 맵납 범프 등의 돌기형 전극을 구비하는 DRAM이나 시스템 LSI 등 여러 반도체 집적 회로에 널리 적용할 수 있다.

(67) 첨부의 범위

청구항 1.

반도체 집적 회로 장치에 있어서,

반도체 기판,

상기 반도체 기판 상의 소자 형성층에 형성된 복수의 회로 소자,

상기 소자 형성층 표면에 형성되어 소정의 상기 회로 소자에 접속된 복수의 단자,

상기 복수의 단자 중 일부 단자인 제1 단자에 각각 접속되어 상기 소자 형성층 상으로 연장되는 복수의 도전층,

상기 도전층에 각각 접속된 돌기형 전극,

상기 복수의 단자 중 나머지 단자인 제2 단자의 전부 또는 일부에 각각 접속된 검사 패드, 및

상기 돌기형 전극 및 상기 검사 패드가 노출되도록 표면을 피복하는 절연막

을 포함하는 반도체 집적 회로 장치.

청구항 2.

반도체 집적 회로 장치에 있어서,

반도체 기판,

상기 반도체 기판 상의 소자 형성층에 형성된 복수의 회로 소자,

상기 소자 형성층 표면에 형성되어 소정의 상기 회로 소자에 접속된 복수의 단자,

상기 복수의 단자 중 일부인 제1 단자에 각각 접속되어 상기 소자 형성층 상으로 연장되는 복수의 도전층,

상기 도전층에 각각 접속된 돌기형 전극,

상기 복수의 단자 중 나머지 단자인 제2 단자의 전부 또는 일부와 상기 제1 단자의 전부 또는 일부에 각각 접속된 검사 패드, 및

상기 돌기형 전극 및 상기 검사 패드가 노출되도록 표면을 피복하는 절연막

을 포함하는 반도체 집적 회로 장치.

청구항 3.

공개특허 특2001-0108118

제1항 또는 제2항에 있어서,

상기 도선층은 금속 배선이고, 상기 절연막은 상기 금속 배선 상에 형성되며, 상기 금속 배선의 하부에는 또 다른 절연막이 형성되는 반도체 집적 회로 장치.

청구항 4.

제3항에 있어서,

상기 절연막과 상기 또 다른 절연막은 다른 재료로 형성되며, 상기 절연막은 상기 또 다른 절연막보다 고탄성율의 재료로 형성되는 반도체 집적 회로 장치.

청구항 5.

제3항에 있어서,

상기 절연막은 유기 물질을 포함하는 막인 반도체 집적 회로 장치.

청구항 6.

제5항에 있어서,

상기 유기 물질을 포함하는 막은 폴리이미드막, 불소 수지막, 또는 실리콘 혹은 아크릴계 고무 재료를 포함하는 엘라스토미반인 반도체 집적 회로 장치.

청구항 7.

제1항 또는 제2항에 있어서,

상기 검사 페드는 내용하는 상기 단자의 바로 상부에 배치되는 반도체 집적 회로 장치.

청구항 8.

제7항에 있어서,

상기 검사 페드는 상기 반도체 기판 중앙부에 규칙적으로 배치되며, 상기 불기형 전극은 상기 검사 페드의 외측에 규칙적으로 배치되는 반도체 집적 회로 장치.

청구항 9.

제1항 또는 제2항에 있어서,

상기 검사 페드는 상기 절연막 상으로 연장되는 반도체 집적 회로 장치.

청구항 10.

반도체 집적 회로 장치의 제조 방법에 있어서,

반도체 웨이퍼 상의 소자 형성층에 필요한 회로를 구성함과 함께, 상기 소자 형성층 표면에 상기 소정의 회로 소자에 접속된 복수의 단자를 형성하여, 복수의 도전층을 상기 복수의 단자 중 일부의 단자인 제1 단자에 각각 접속되게 하고 상기 소자 형성층 상으로 복수의 도전층을 연장시키는 제1 공정.

공개특허 번호 2001-0108118

상기 연장된 도전총에 접속된 돌기형 전극을 형성하는 제2 공정.

상기 복수의 단자 중 나머지 단자인 제2 단자의 전부 또는 일부에 검사 페드를 각각 접속시켜 상기 검사 페드를 형성하는 제3 공정.

상기 소자 형성층에 형성된 상기 필요한 회로를 검사하는 제4 공정.

번인(burn-in)을 행하는 제5 공정. 및

상기 웨이퍼를 다이싱하는 제6 공정

을 포함하는 반도체 접적 회로 장치의 제조 방법.

청구항 11.

반도체 접적 회로 장치의 제조 방법에 있어서,

반도체 웨이퍼 상의 소자 형성층에 필요한 회로를 구성하고, 상기 소자 형성층 표면에 상기 소정의 회로 소자에 접속된 복수의 단자를 형성하여, 복수의 도전총을 상기 복수의 단자 중 일부의 단자인 제1 단자에 각각 접속되게 하고 상기 소자 형성층 상으로 상기 복수의 도전총을 연장시키는 제1 공정,

상기 연장된 도전총에 접속된 돌기형 전극을 형성하는 제2 공정.

상기 복수의 단자 중 나머지 단자인 제2 단자의 전부 또는 일부와 상기 제1 단자의 전부 또는 일부에 검사 페드를 각각 접속시켜 상기 검사 페드를 형성하는 제3 공정,

상기 소자 형성층에 형성된 상기 필요한 회로를 검사하는 제4 공정.

번인을 행하는 제5 공정. 및

상기 웨이퍼를 다이싱하는 제6 공정

을 포함하는 반도체 접적 회로 장치의 제조 방법.

청구항 13.

제10항 또는 제11항에 있어서,

상기 제4 공정에 의한 검사 결과에 따라 결함 부분을 구제 회로로 대체하는 제7 공정을 더 포함하는 반도체 접적 회로 장치의 제조 방법.

청구항 13.

제10항 또는 제11항에 있어서,

상기 제2 공정에서 상기 돌기형 전극을 형성하고 상기 제3 공정에서 상기 검사 페드를 형성한 후, 상기 제6 공정에서 나아침날개片面(piece)(側面)에 대해 상기 제5 공정의 번인을 행하는 반도체 접적 회로 장치의 제조 방법.

청구항 14.

공개특허 특2001-0108118

제10항 또는 제11항에 있어서,

상기 제3 공정에서 상기 검사 패드를 형성한 후, 상기 제5 공정에서 번인을 행하고, 상기 제2 공정에서 상기 돌기형 전극을 형성하여 상기 제6 공정에서 다이싱을 행하는 반도체 집적 회로 장치의 제조 방법.

청구항 15.

반도체 집적 회로 장치에 있어서,

주민에 집적 회로 및 복수의 제1 전극이 형성된 반도체 칩으로서, 상기 복수의 제1 전극이 제1 간격으로 배열된 반도체 칩,

상기 반도체 칩의 주민을 피복하는 제1 절연막,

상기 제1 절연막 상에 형성된 복수의 제1 배선층으로서, 각각의 하나의 단부가 상기 복수의 제1 전극에 접속되며, 각각의 다른 단부가 상기 제1 간격보다 큰 제2 간격으로 배열된 복수의 제1 배선층,

상기 복수의 제1 배선층에 각각 전기적으로 접속되고, 또한 상기 복수의 제1 배선층의 상기 다른 단부 상에 형성된 복수의 제1 도체층,

상기 복수의 제1 배선층에 각각 전기적으로 접속되고, 상기 복수의 제1 배선층 상에 형성된 제2 도체층으로서, 상기 다른 단부와 다른 위치에 각각 배치된 복수의 제2 도체층, 및

상기 복수의 제1 배선층 상에 각각 형성된 복수의 돌기형 전극

을 포함하고,

상기 복수의 제1 도체층과 상기 복수의 제2 도체층은 동일한 공정에 따라 형성된 도체막으로 각각 형성되는 반도체 집적 회로 장치.

청구항 16.

제15항에 있어서,

상기 복수의 제1 도체층은 상기 복수의 돌기형 전극 하부 도체층이고, 상기 복수의 제2 도체층은 전기적 검사를 행하기 위한 검사용 도체층인 반도체 집적 회로 장치.

청구항 17.

제15항에 있어서,

상기 복수의 제1 배선층의 하나의 단부는 상기 제1 절연층 내에 형성된 복수의 개구를 통해 상기 복수의 제1 전극에 각각 접속되는 반도체 집적 회로 장치.

청구항 18.

제17항에 있어서,

또한, 상기 제1 절연막 하부에 형성되고, 상기 반도체 칩의 주면을 피복하는 제2 절연막을 더 포함하고, 상기 제2 절연막은 상기 복수의 제1 전극을 노출시키는 복수의 개구를 갖는 반도체 집적 회로 장치.

공개특허 특2001-0108118

청구항 19.

제18항에 있어서.

상기 제1 절연막은 유기 절연막이고, 상기 제2 절연막은 무기 절연막인 반도체 집적 회로 장치.

청구항 20.

제19항에 있어서.

상기 제1 절연막은 폴리이미드막을 포함하며, 상기 제2 절연막은 질화 실리콘막을 포함하는 반도체 집적 회로 장치.

청구항 21.

반도체 집적 회로 장치에 있어서.

반도체 기판.

상기 반도체 기판 상에 형성된 회로 소자.

상기 반도체 기판 상에 형성되며, 상기 회로 소자에 접속된 제1 도전층,

상기 반도체 기판 상에 형성되며, 검사 패드를 구성하는 제2 도전층,

상기 제1 도전층 상에 형성되며, 각각이 상기 제1 도전층에 접속된 범프, 및

상기 반도체 기판과 상기 제1 도전층과의 사이와, 및 상기 반도체 기판과 상기 제2 도전층과의 사이에 형성된 유기막  
을 포함하고,

상기 제1 도전층과 제2 도전층은 서로 접속되어 있는 반도체 집적 회로 장치.

청구항 22.

반도체 집적 회로 장치에 있어서.

반도체 기판.

상기 반도체 기판상에 형성된 회로 소자.

상기 반도체 기판의 상층에 형성되며, 배선부와 검사 패드부를 구비하고, 상기 회로 소자에 접속된 도전층,

상기 배선부 상층에 형성되며, 상기 배선부에 접속된 범프, 및

상기 반도체 기판과 상기 검사 패드부와의 사이에 형성된 유기막

을 포함하는 반도체 집적 회로 장치.

청구항 23.

공개특허 특2001-0108118

반도체 집적 회로 장치에 있어서.

반도체 기판.

상기 반도체 기판상에 형성된 제1 회로 소자 및 제2 회로 소자.

상기 반도체 기판의 상층에 형성되며, 각각이 상기 제1 회로 소자에 접속된 배선.

상기 배선의 상층에 형성되며, 상기 배선에 접속된 범프, 및

상기 반도체 기판의 상층에 형성되어 상기 제2 회로 소자에 접속되고, 검사 패드를 구성하는 도전층  
을 포함하며.

상기 도전층은 임의의 범프로부터 전기적으로 분리되는 반도체 집적 회로 장치.

청구항 24.

반도체 집적 회로 장치에 있어서.

반도체 기판.

상기 반도체 기판상에 형성된 반도체 집적 회로 소자,

상기 반도체 기판 상에 형성되며, 상기 반도체 집적 회로 소자에 접속된 배선,

상기 배선 상에 형성되며, 상기 배선에 접속된 범프, 및

상기 반도체 기판 상에 형성되어 상기 반도체 집적 회로 소자에 접속되며, 각각의 검사 패드를 구성하는 도전층  
을 포함하고,

상기 반도체 집적 회로 소자의 검사가 실행될 때, 상기 검사 패드는 상기 반도체 집적 회로 장치의 외부와 전기적으로  
접속되고,

상기 반도체 집적 회로 소자가 통상의 동작일 때, 상기 검사 패드는 상기 반도체 집적 회로 장치의 외부와 전기적으로  
분리되는 반도체 집적 회로 장치.

청구항 25.

반도체 집적 회로 장치에 있어서.

반도체 기판.

상기 반도체 기판상에 형성된 집적 회로 소자,

상기 반도체 기판 상에 형성되며, 상기 집적 회로 소자에 접속된 복수의 배선,

상기 복수의 배선 상에 형성되며, 상기 복수의 배선에 대응하여 설치된 복수의 범프,

공개특허 특2001-0108118

상기 반도체 기판 상에 형성되어 상기 접적 회로 소자에 접속되고, 각각의 검사 패드로서 형성된 도전층,

상기 반도체 기판의 상부 및 상기 복수의 배선 아래에서 형성된 유기막

을 포함하고,

상기 각각의 접적 회로 소자의 검사가 실행될 때, 상기 검사 패드는 상기 반도체 접적 회로 장치의 외부와 전기적으로 접속되어,

상기 접적 회로 소자가 통상의 동작 중 일 때, 상기 검사 패드는 상기 반도체 접적 회로 장치의 외부와 전기적으로 분리되는 반도체 접적 회로 장치.

청구항 26.

반도체 접적 회로 장치에 있어서,

반도체 기판,

상기 반도체 기판상에 형성된 제1 회로 소자 및 제2 회로 소자,

상기 반도체 기판 상에 형성되며, 상기 제1 회로 소자에 접속된 배선,

상기 배선 상에 형성되며, 상기 배선에 접속된 범프,

상기 반도체 기판 상에 형성되어 상기 제1 회로 소자에 접속되며, 제1 검사 패드를 구성하는 제1 도전 물질, 및

상기 반도체 기판 상에 형성되어 상기 제2 회로 소자에 접속되고, 제2 검사 패드를 구성하는 제2 도전 물질

을 포함하고,

상기 제1 회로 소자 및 제2 회로 소자의 검사가 실행될 때, 상기 제1 검사 패드 및 제2 검사 패드는 상기 반도체 접적 회로 장치의 외부와 전기적으로 접속되며,

상기 제1 회로 소자 및 제2 회로 소자가 통상의 동작 중 일 때, 상기 제1 검사 패드는 상기 범프를 통해 상기 반도체 접적 회로 장치의 외부와 전기적으로 접속되고, 상기 제2 검사 패드는 상기 반도체 접적 회로 장치의 외부와 전기적으로 분리되는 반도체 접적 회로 장치.

청구항 27.

반도체 접적 회로 장치에 있어서,

반도체 기판,

상기 반도체 기판상에 형성된 접적 회로,

상기 반도체 기판 상에 형성되며, 상기 접적 회로에 접속된 배선,

상기 배선 상에 형성되며, 상기 배선에 접속된 범프,

상기 반도체 기판 상에 형성되어 상기 접적 회로에 접속되며, 제1 검사 패드를 구성하는 제1 도전층, 및

공개특허 특2001-0108118

상기 반도체 기판 상에 형성되어 상기 접적 회로에 접속되고, 제2 검사 페드

를 포함하는 제2 도전층을 포함하고,

상기 제1 도전층과 상기 배선은 서로 접속되어 있고,

상기 접적 회로의 검사가 실행될 때, 상기 제1 검사 페드 및 제2 검사 페드는 상기 반도체 접적 회로 장치의 외부와 전기적으로 접속되며,

상기 접적 회로가 통상의 동작 중 일 때, 상기 제1 검사 페드는 상기 범프를 통해 상기 반도체 접적 회로 장치의 외부와 전기적으로 접속되며, 상기 제2 검사 페드는 상기 반도체 접적 회로 장치의 외부와 전기적으로 분리되는 반도체 접적 회로 장치.

청구항 28.

반도체 접적 회로 장치에 있어서,

반도체 기판,

상기 반도체 기판상에 형성된 접적 회로 소자,

상기 반도체 기판 상층에 형성되며, 상기 접적 회로 소자에 접속된 복수의 배선,

상기 복수의 배선의 상층에 형성되며, 상기 복수의 배선에 대응하여 각각 설치된 복수의 범프,

상기 반도체 기판 상층에 형성되며, 상기 각각의 접적 회로 소자에 접속되고, 검사 페드를 포함하는 도전층, 및

상기 반도체 기판과 상기 복수의 배선과의 사이 및 상기 반도체 기판과 상기 도전층과의 사이에 형성된 유기 물질을 포함하는 막

을 포함하고,

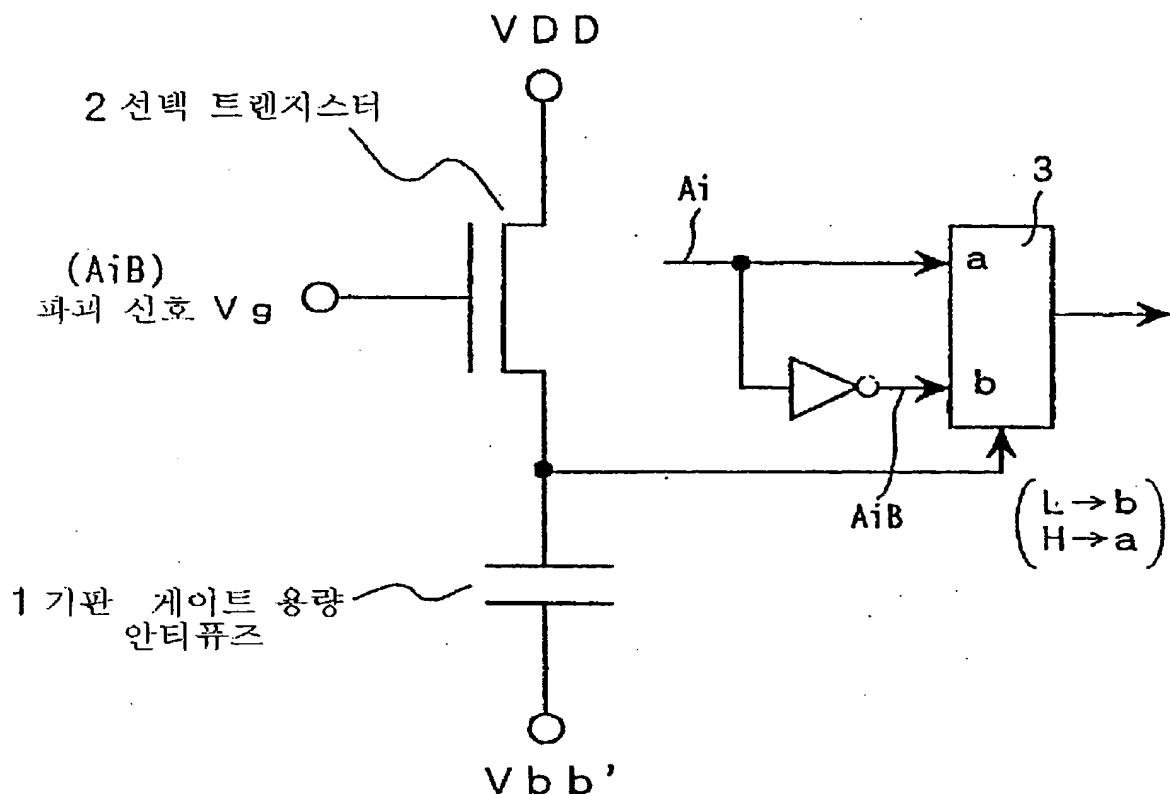
상기 접적 회로 소자의 검사가 실행될 때, 상기 검사 페드는 상기 반도체 접적 회로 장치의 외부와 전기적으로 접속되며,

상기 접적 회로 소자가 통상의 동작 중 일 때, 상기 검사 페드는 상기 반도체 접적 회로 장치의 외부와 전기적으로 분리되는 반도체 접적 회로 장치.

공개특허 특2001-0108113

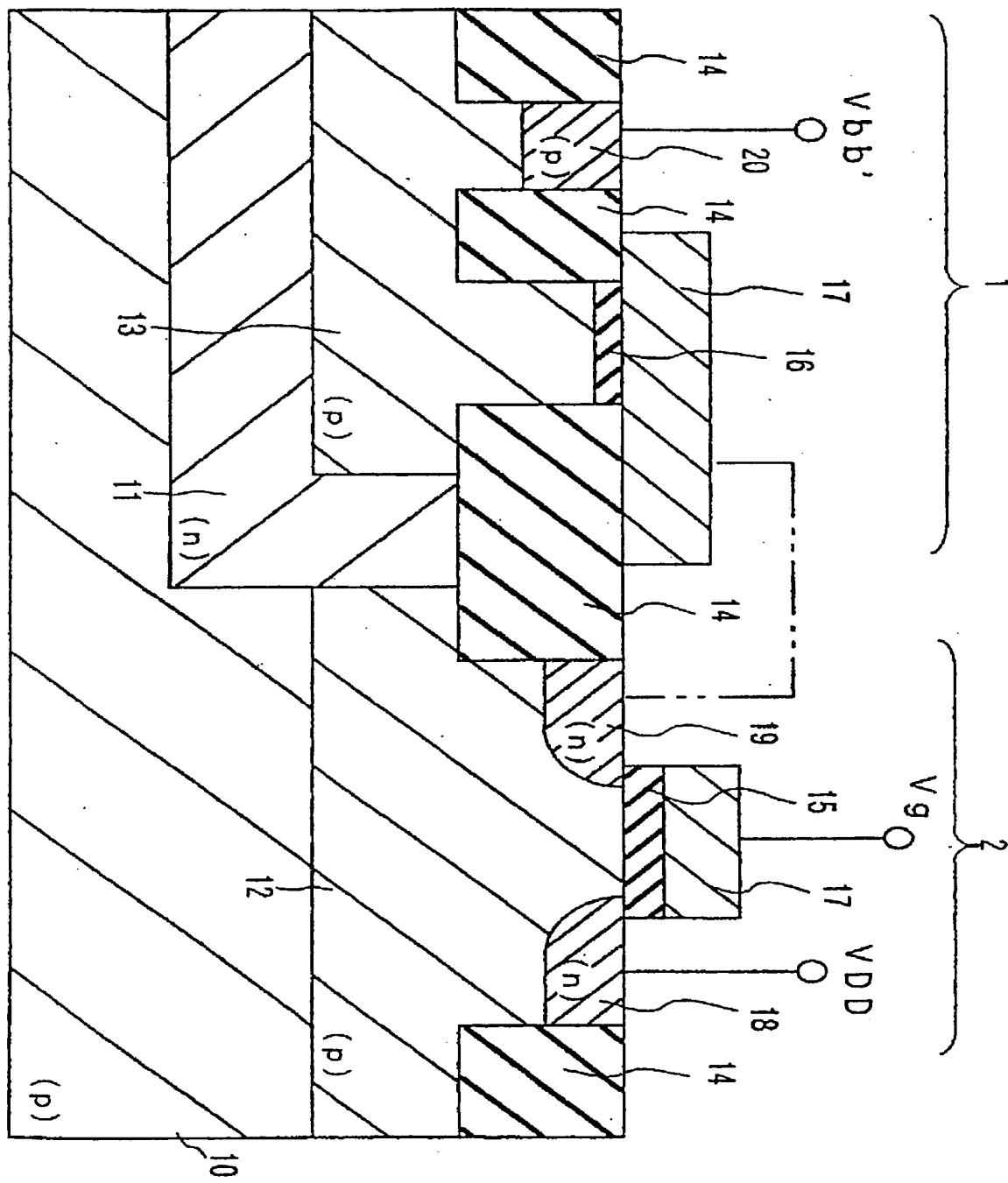
102

도면 1



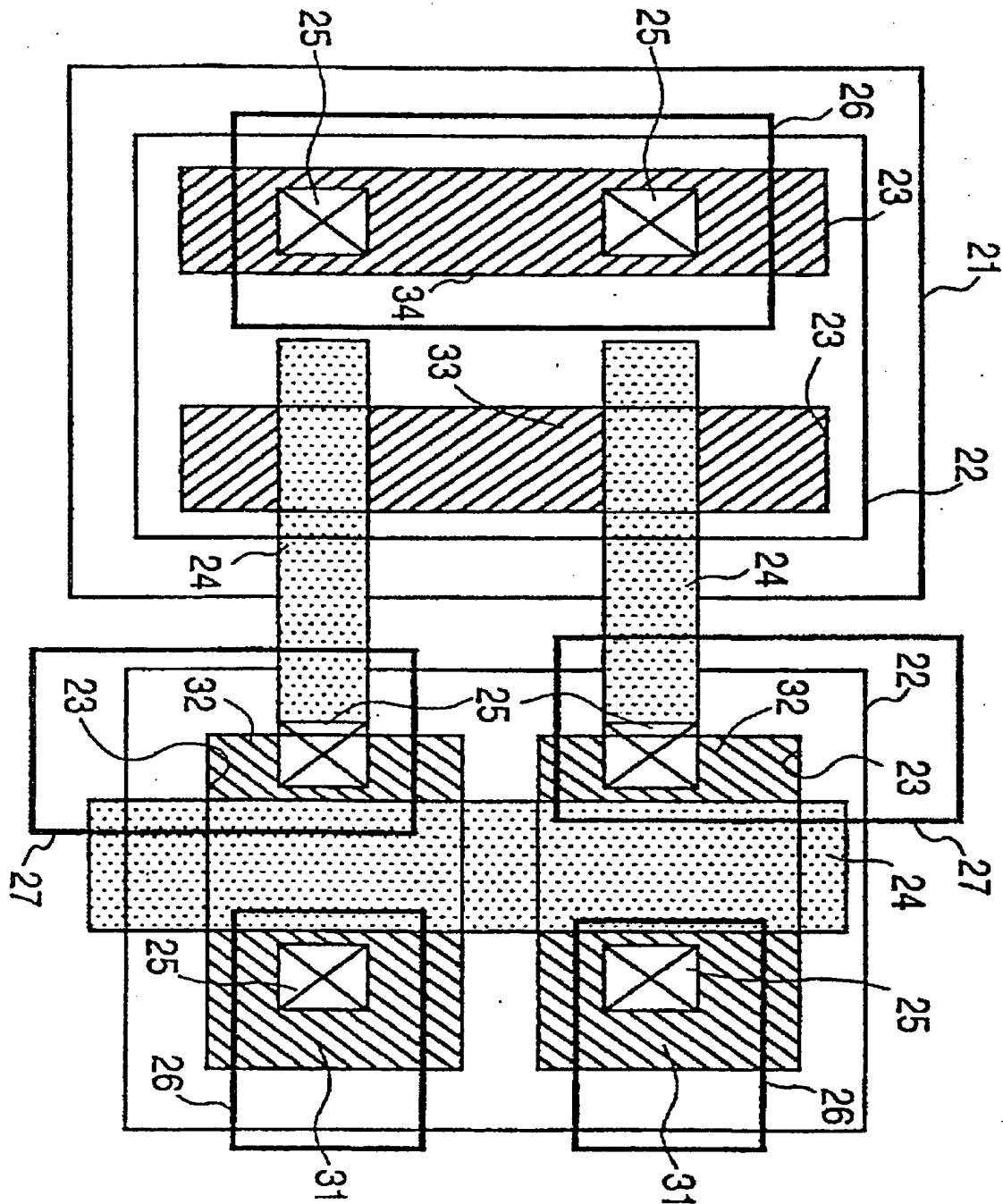
공개특허 특2001-0108118

도면 2



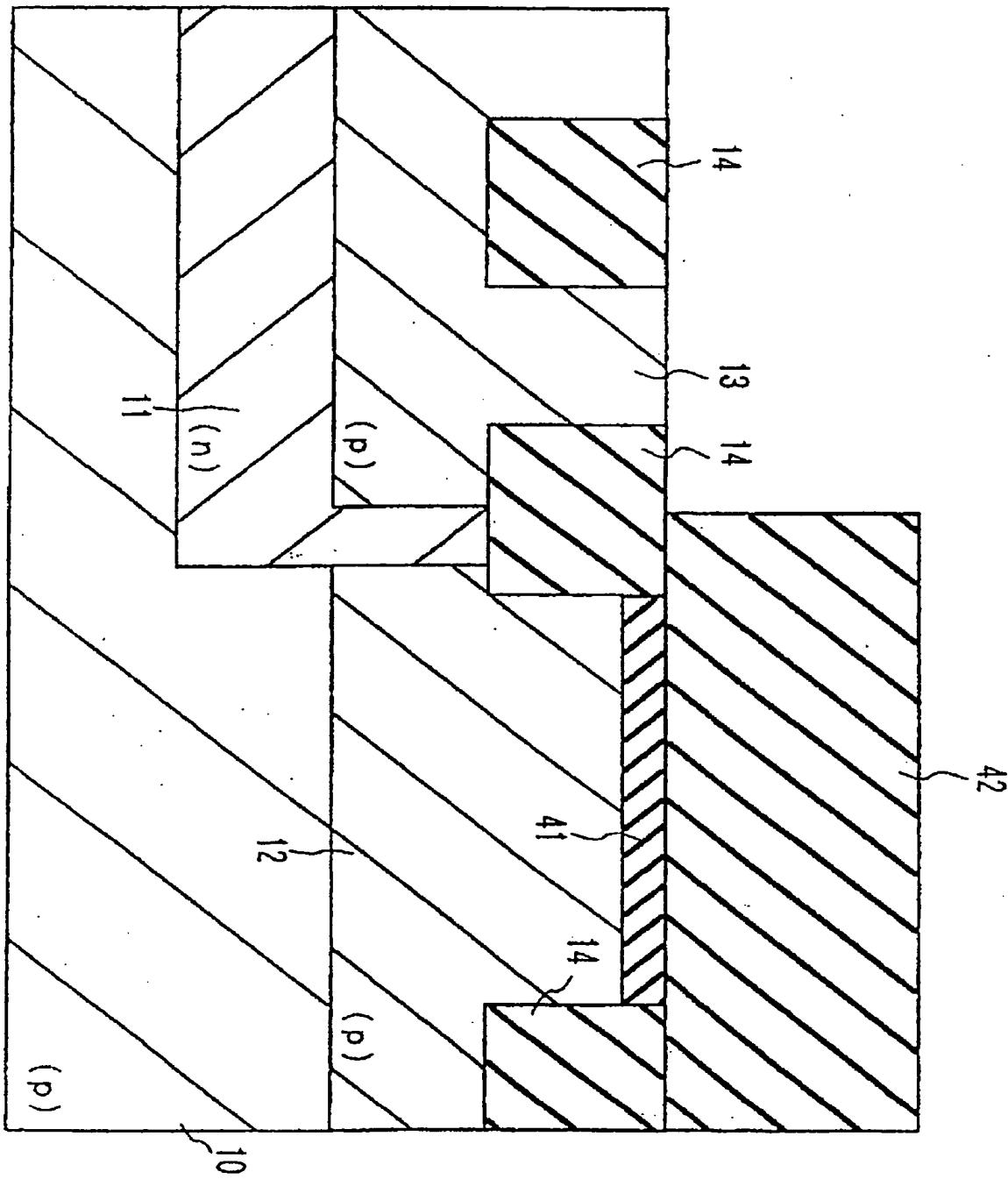
공개특허 특2001-0108118

도면 3



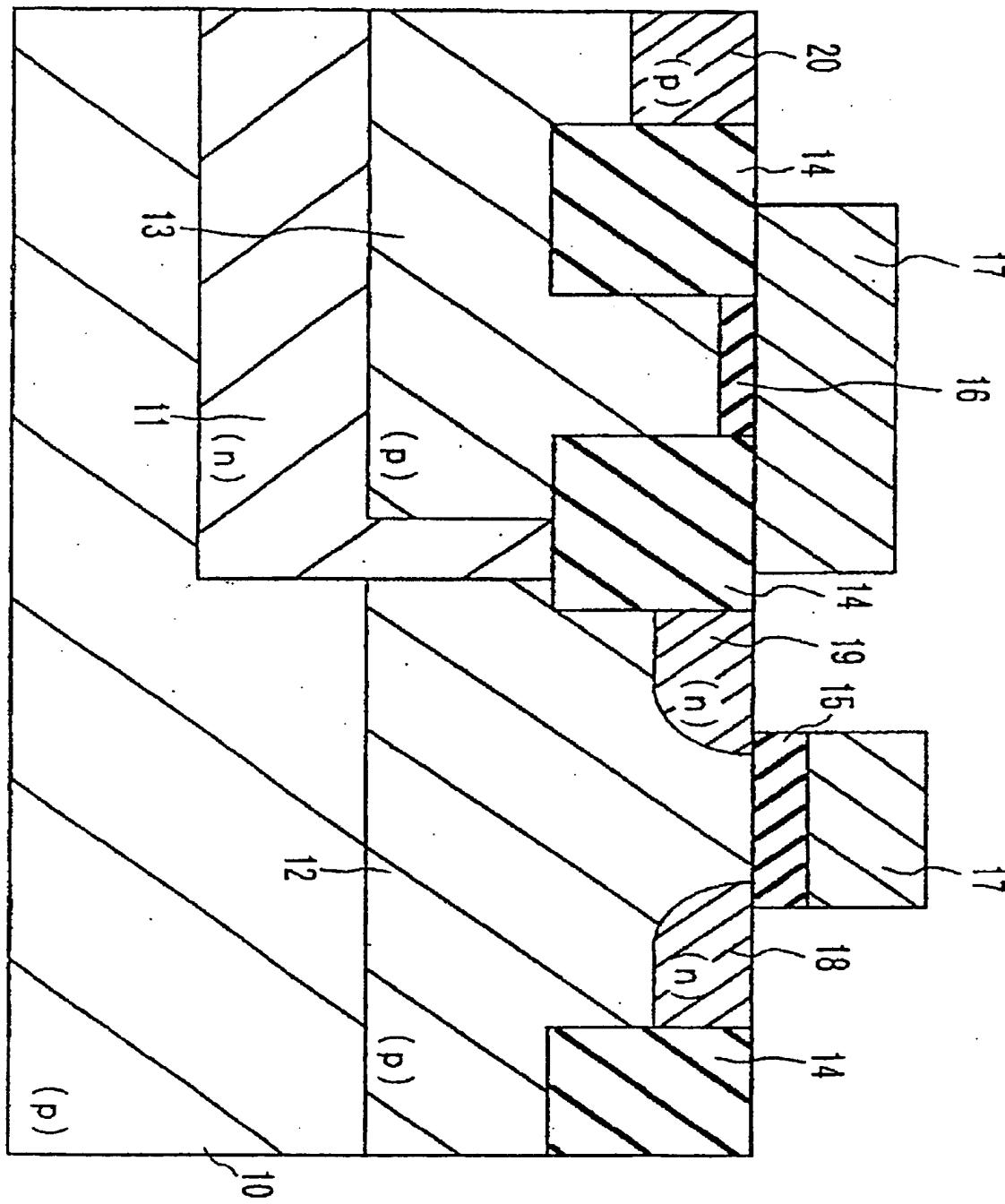
공개특허 특2001-0108118

도면 4



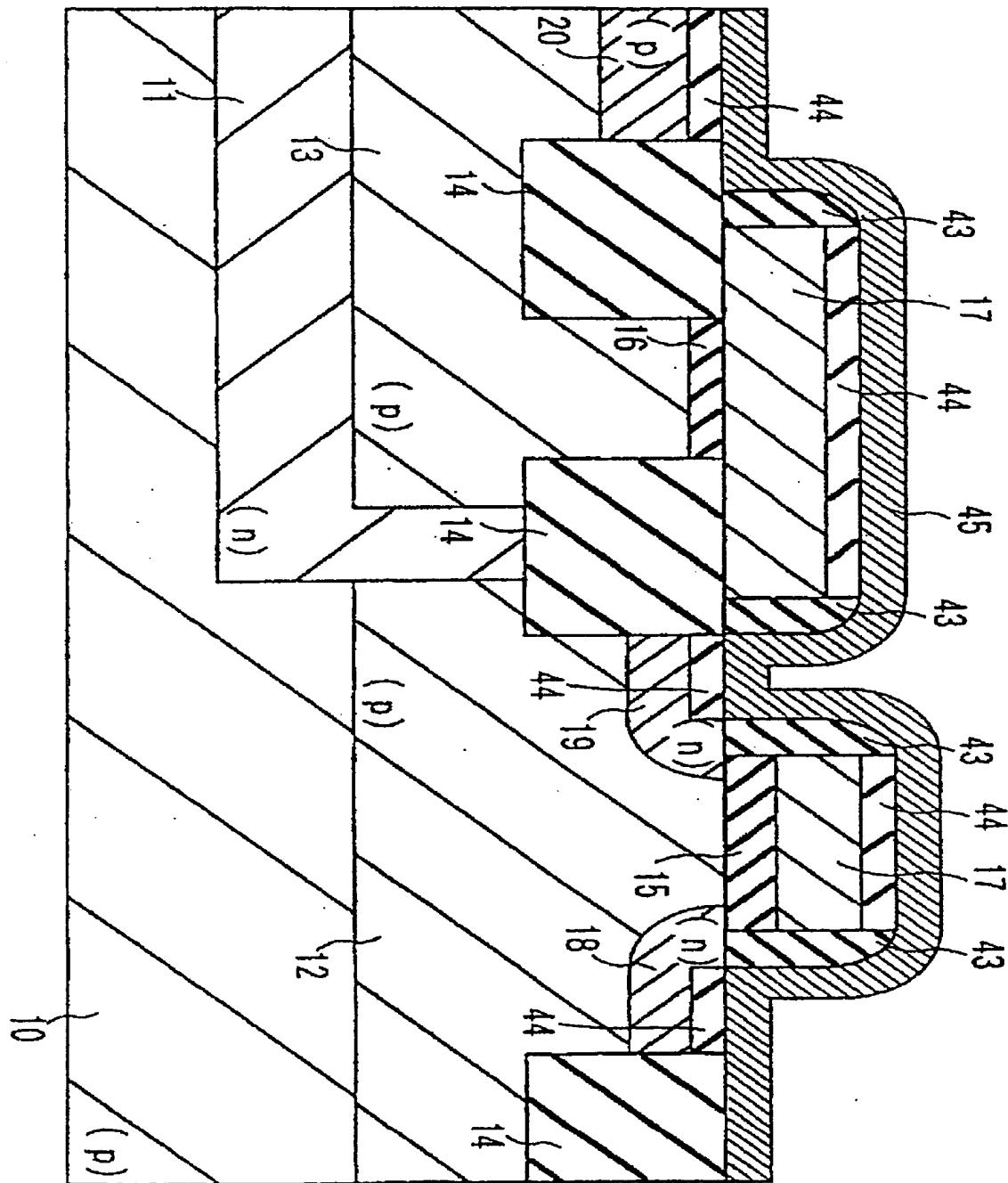
공개특허 특2001-0108118

도면 5



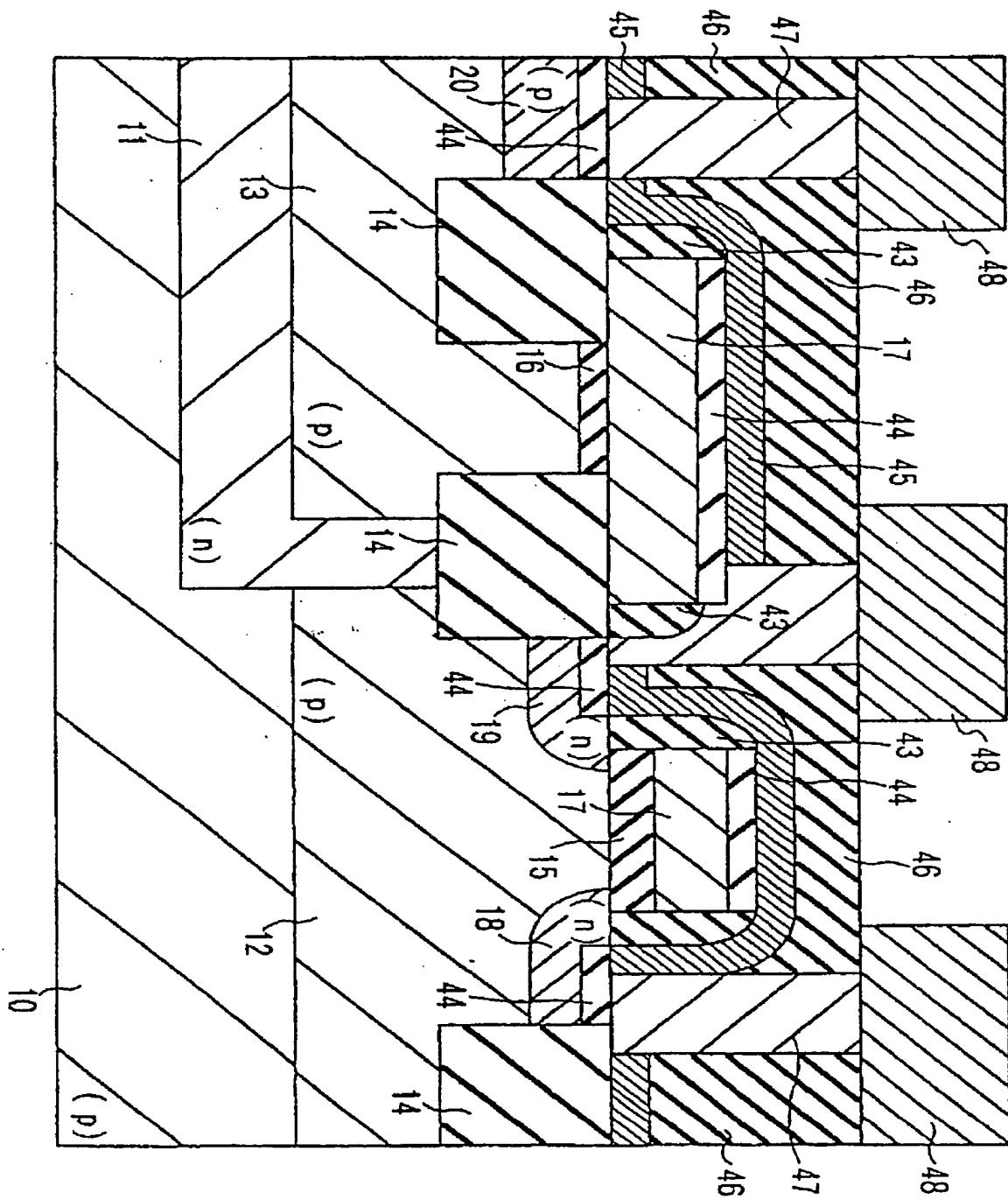
공개특허 특2001-0108118

도면 6



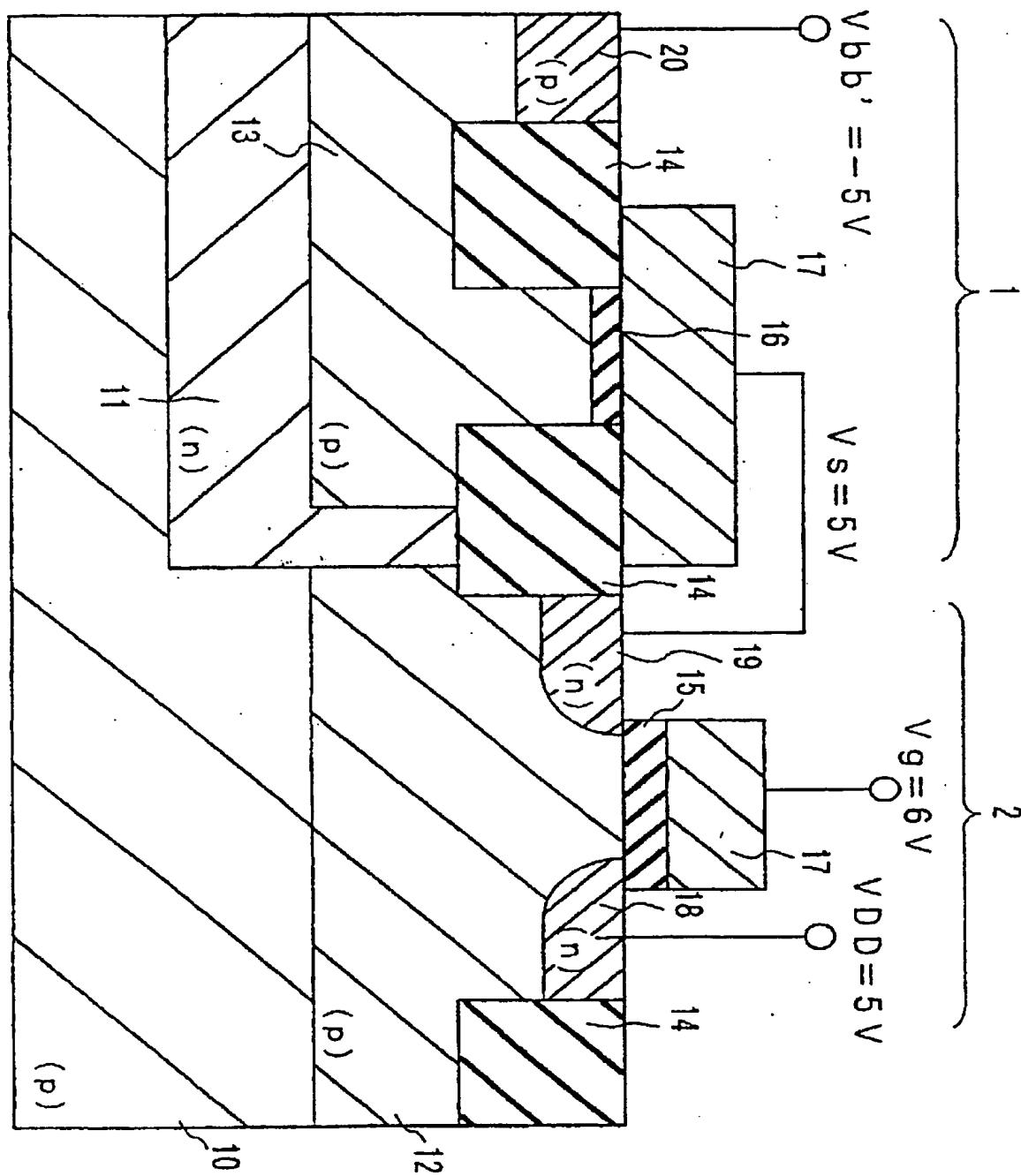
공개특허 특2001-0108118

도면 7



공개특허 등2001-0108118

도면 3

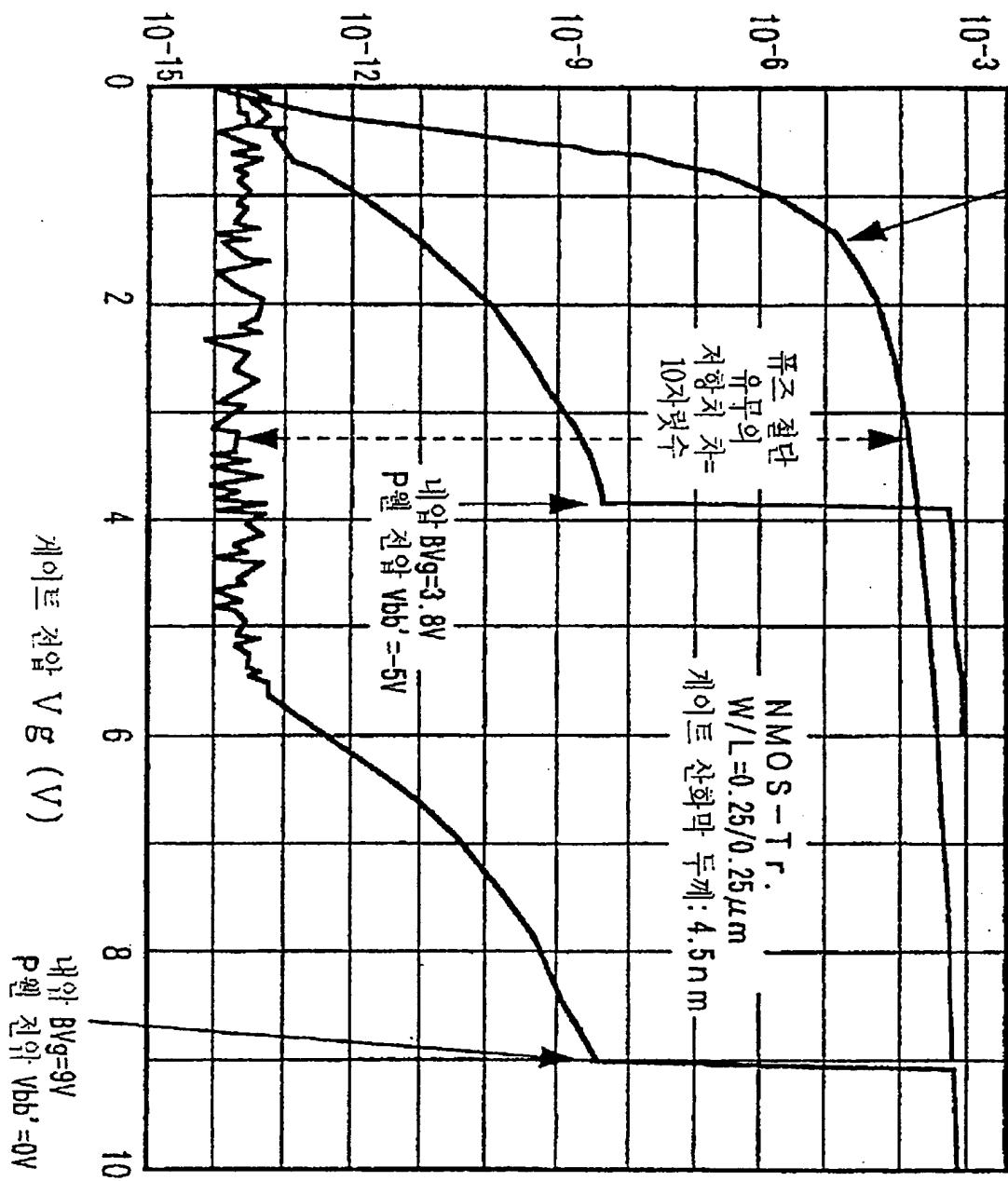


공개특허 등록 2001-0108118

도면 9

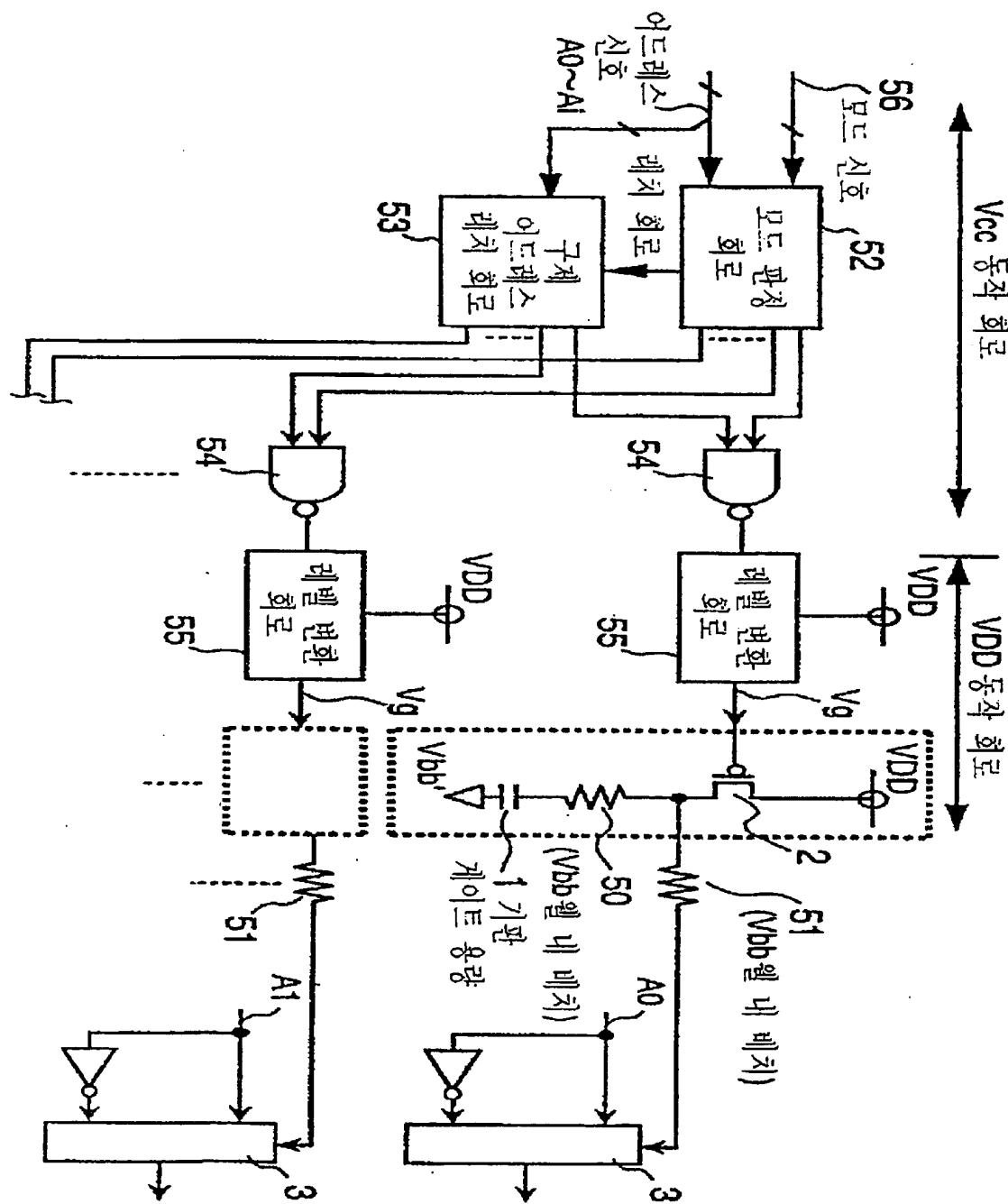
## 개이트 전류 Ig (A)

파괴후의 특성



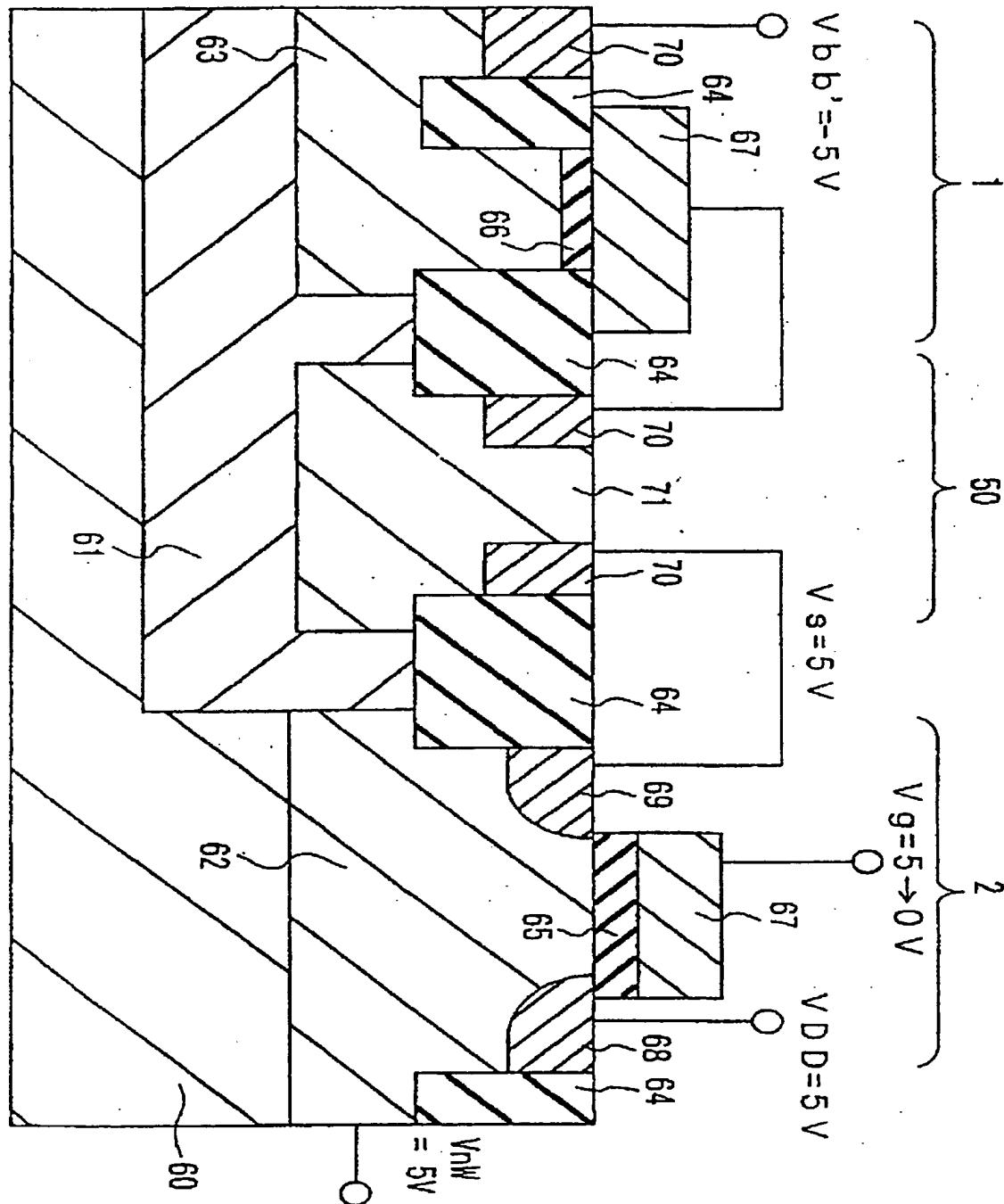
공개특허 등2001-0108118

도면 10



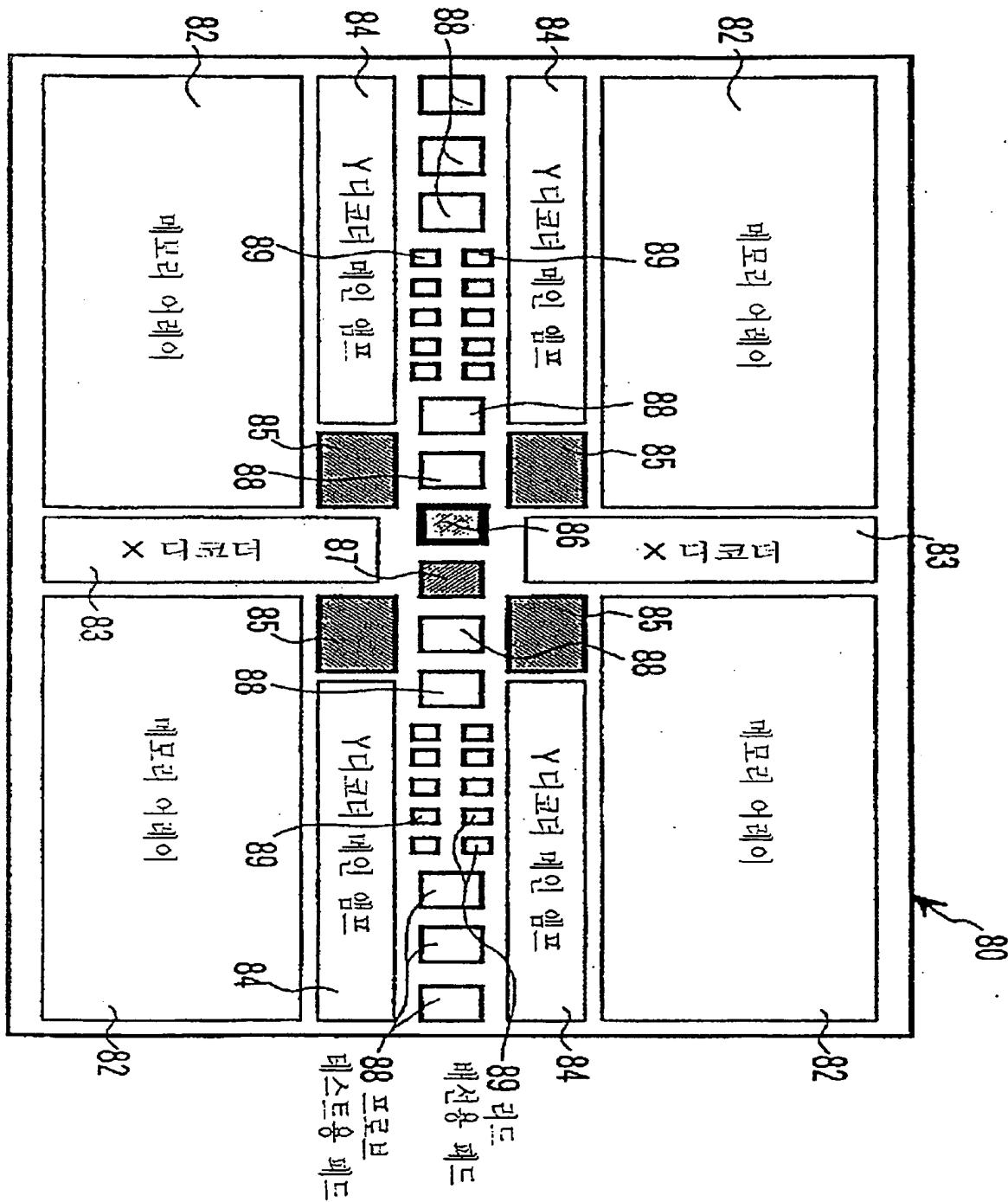
공개특허 특2001-0108118

도면 11



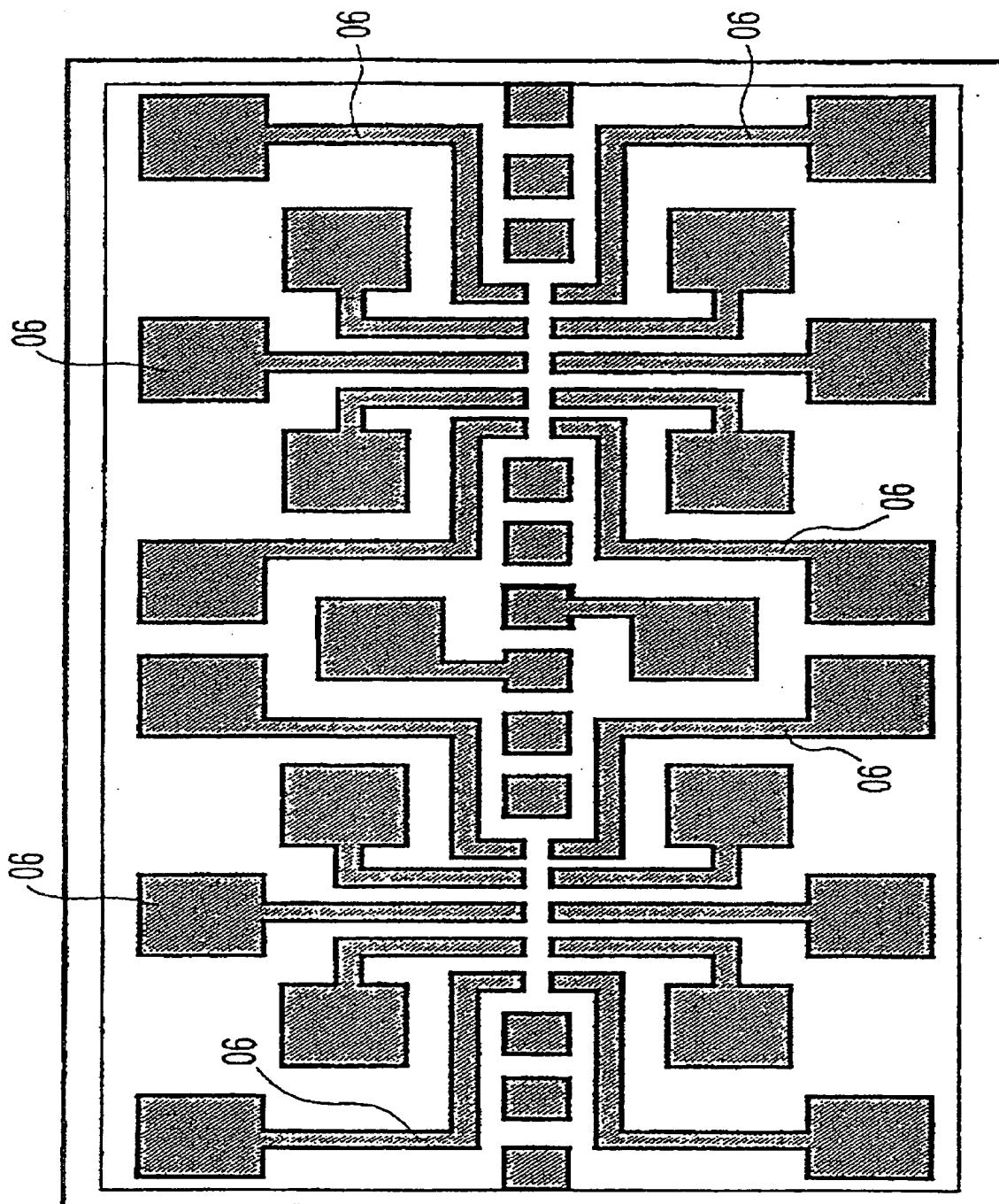
공개특허 특2001-0108118

도면 12



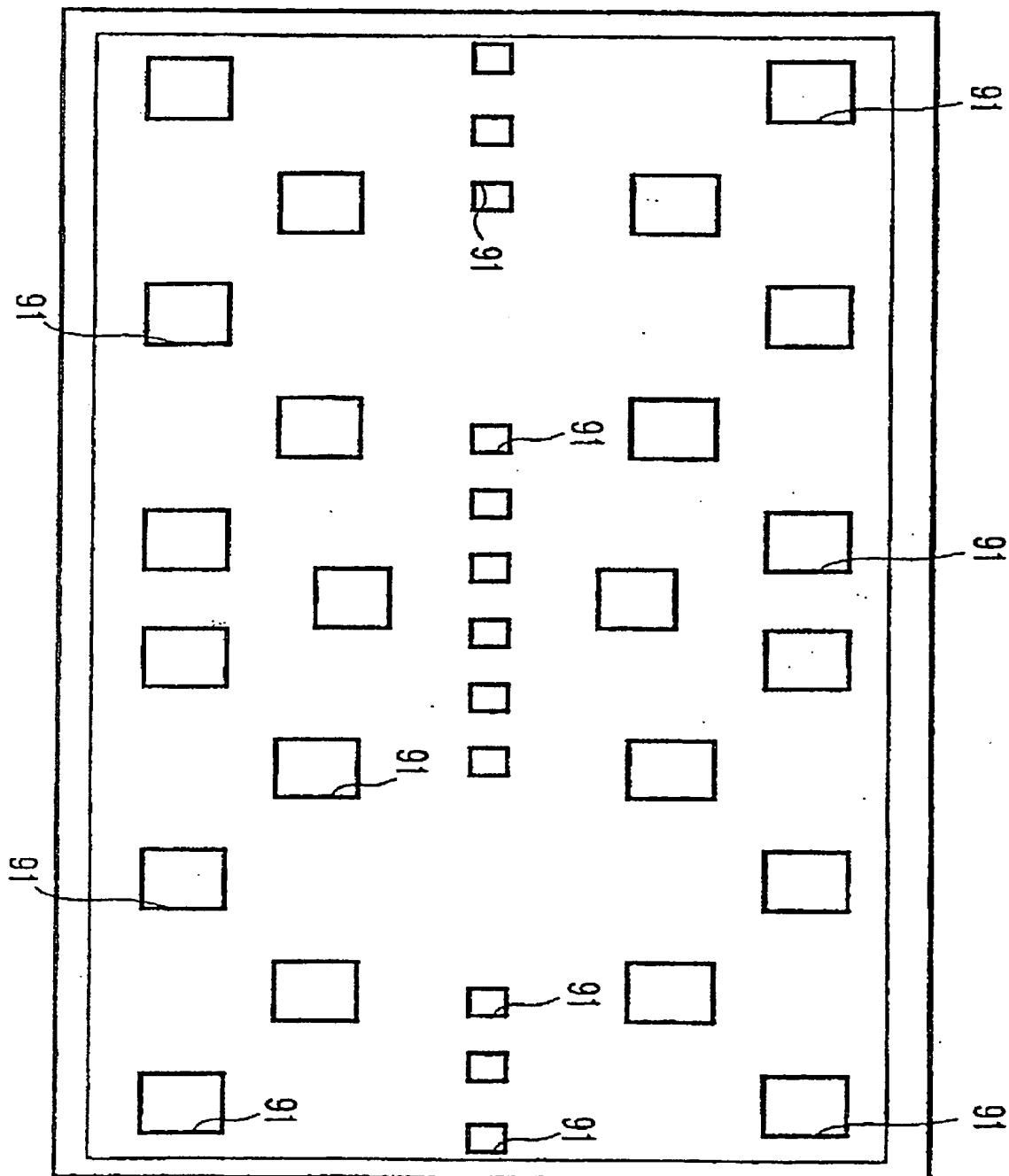
공개특허 특2001-0103113

도면 13



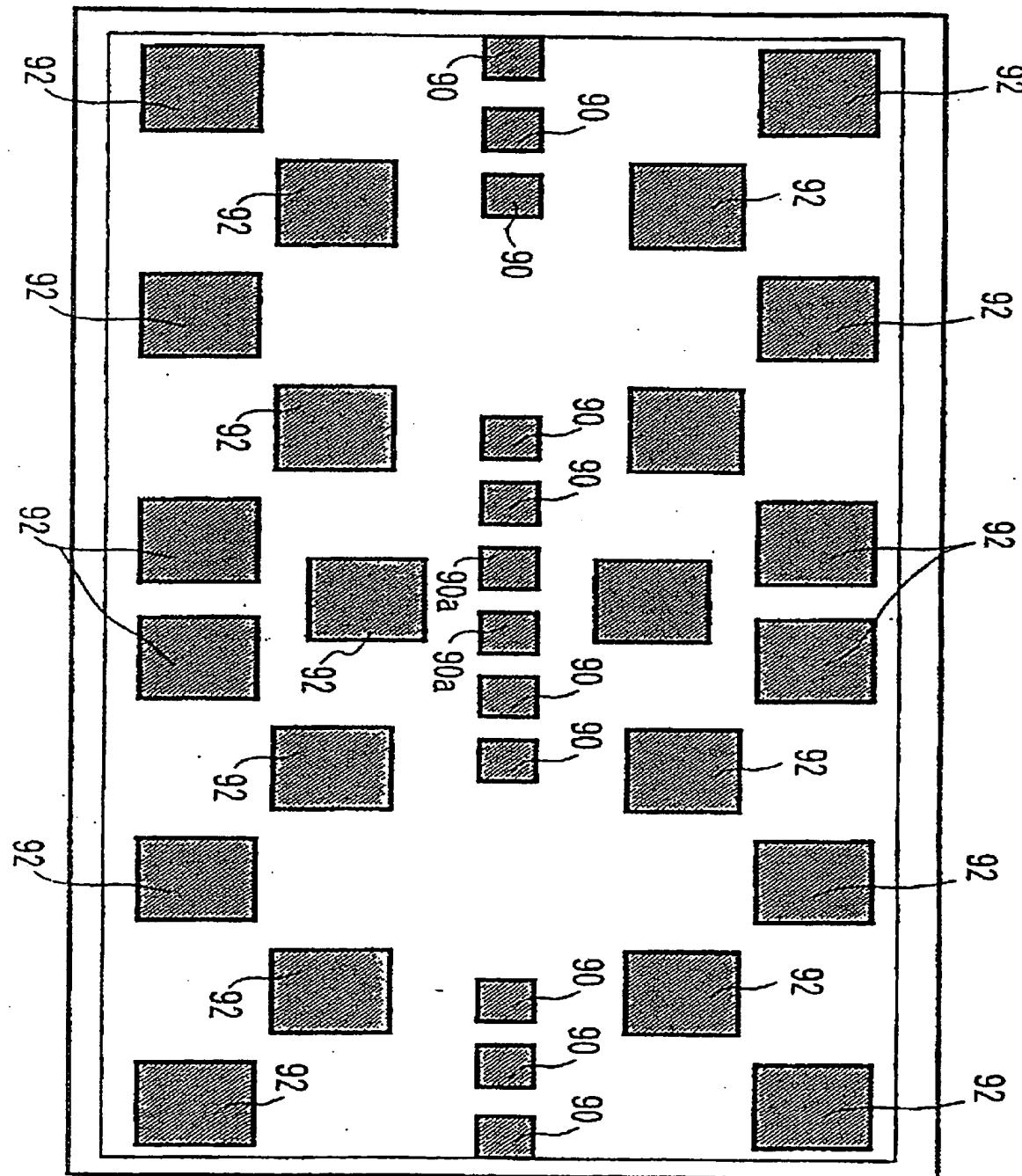
공개특허 특2001-0108118

도면 14



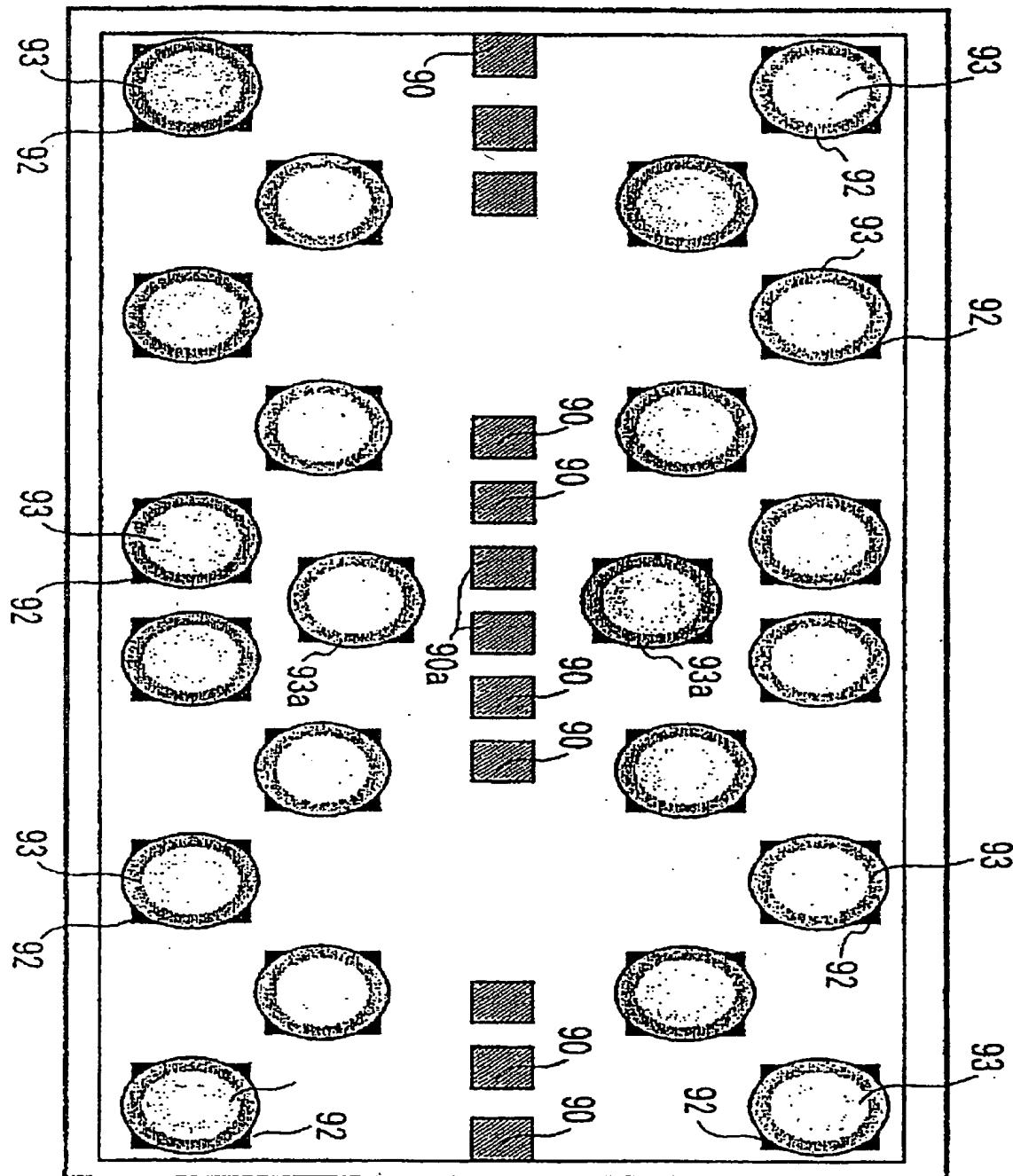
공개특허 특2001-0108118

도면 15



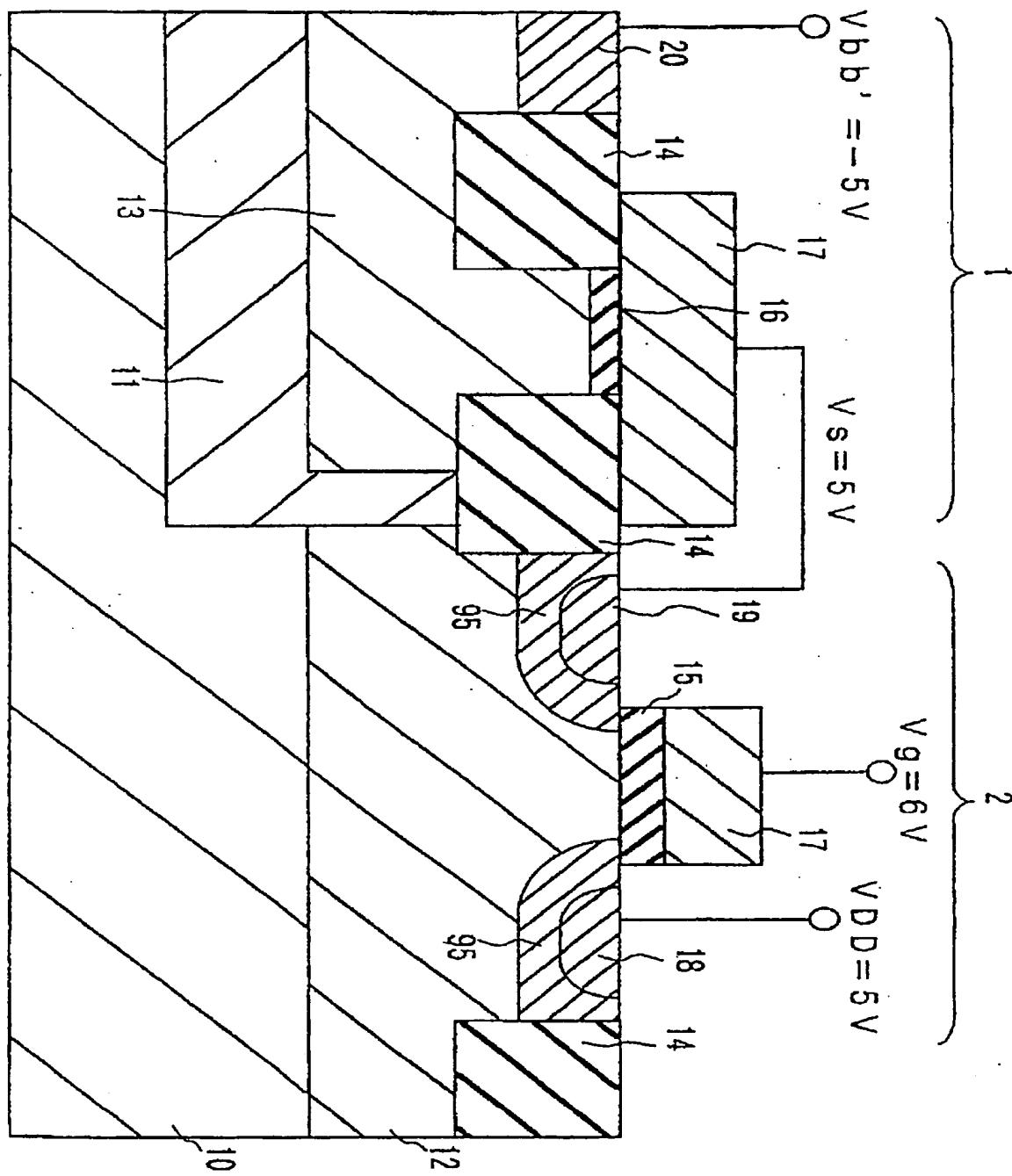
공개특허 특2001-0108118

도면 16



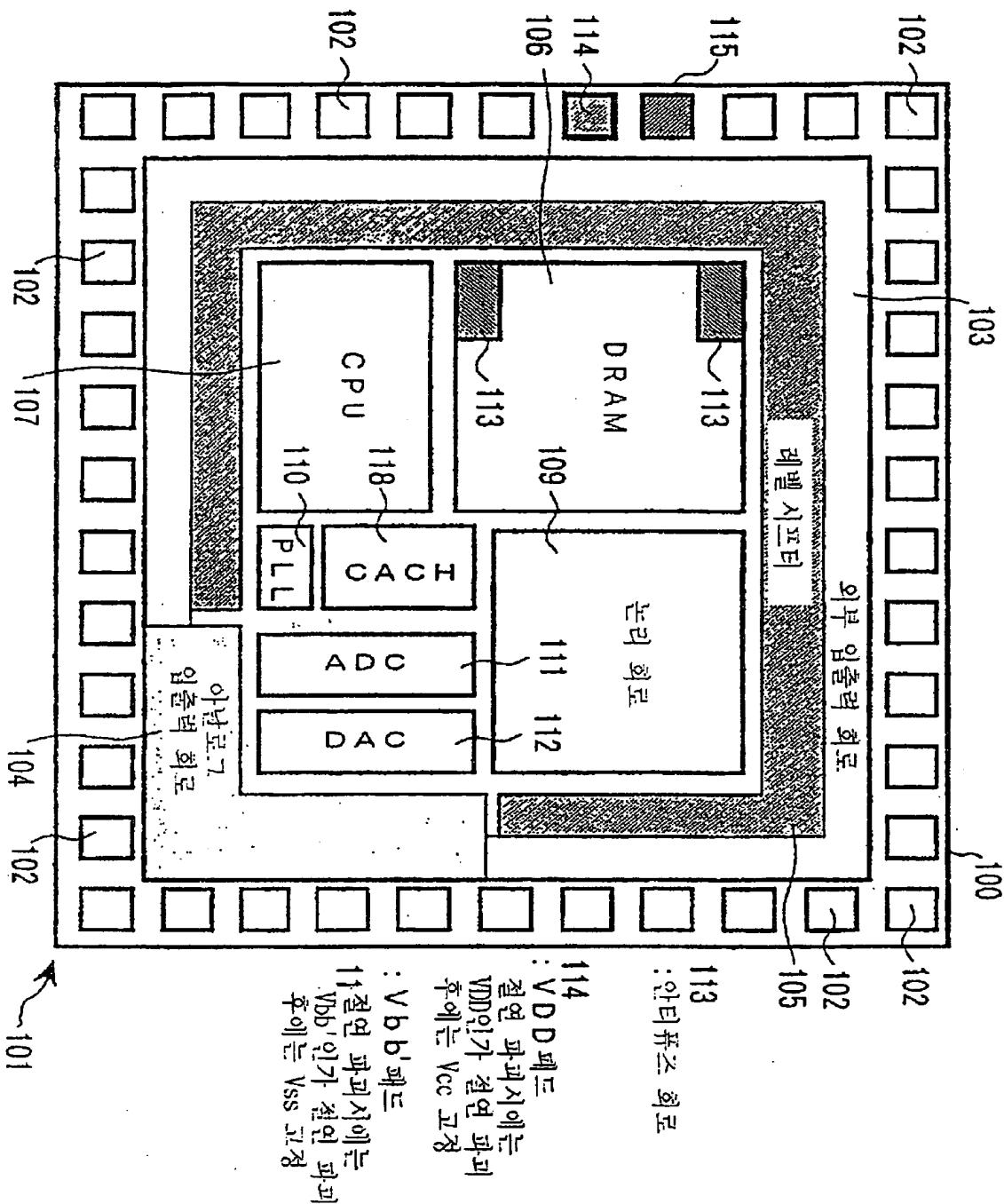
공개특허 특2001-0108118

도면 17



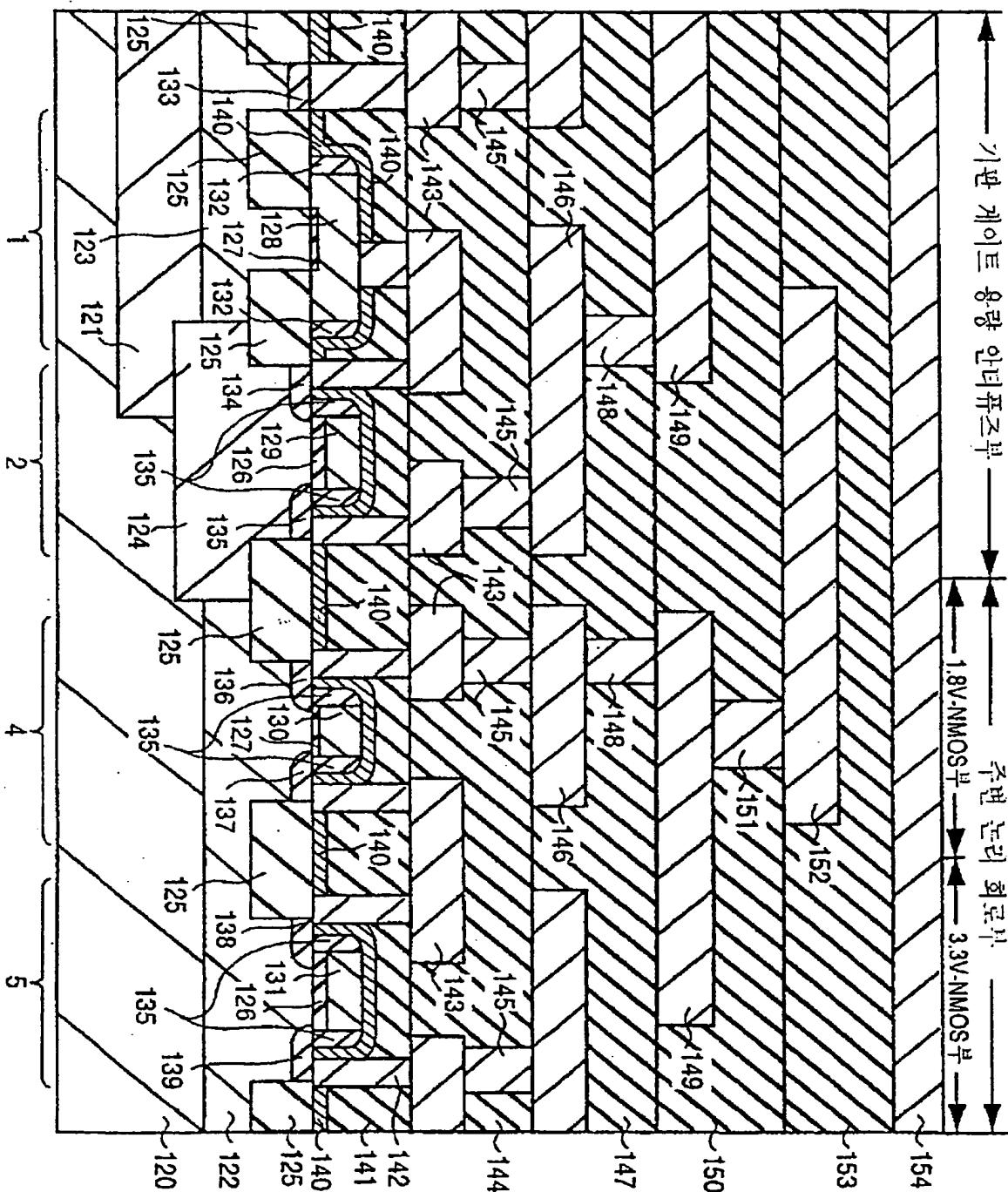
공개특허 특2001-0108118

도록 18



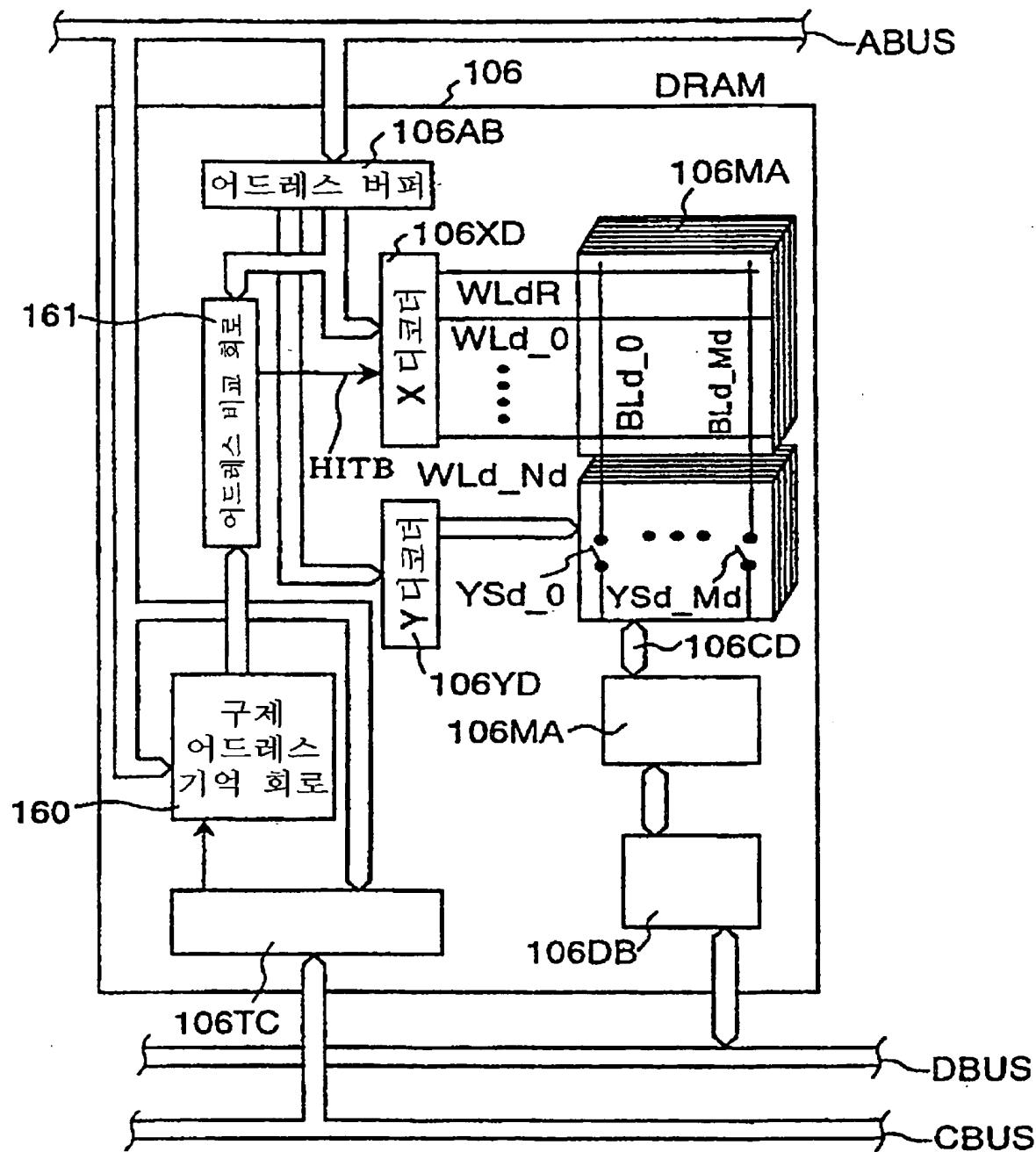
공개특허 등 2001-0108118

도면 19



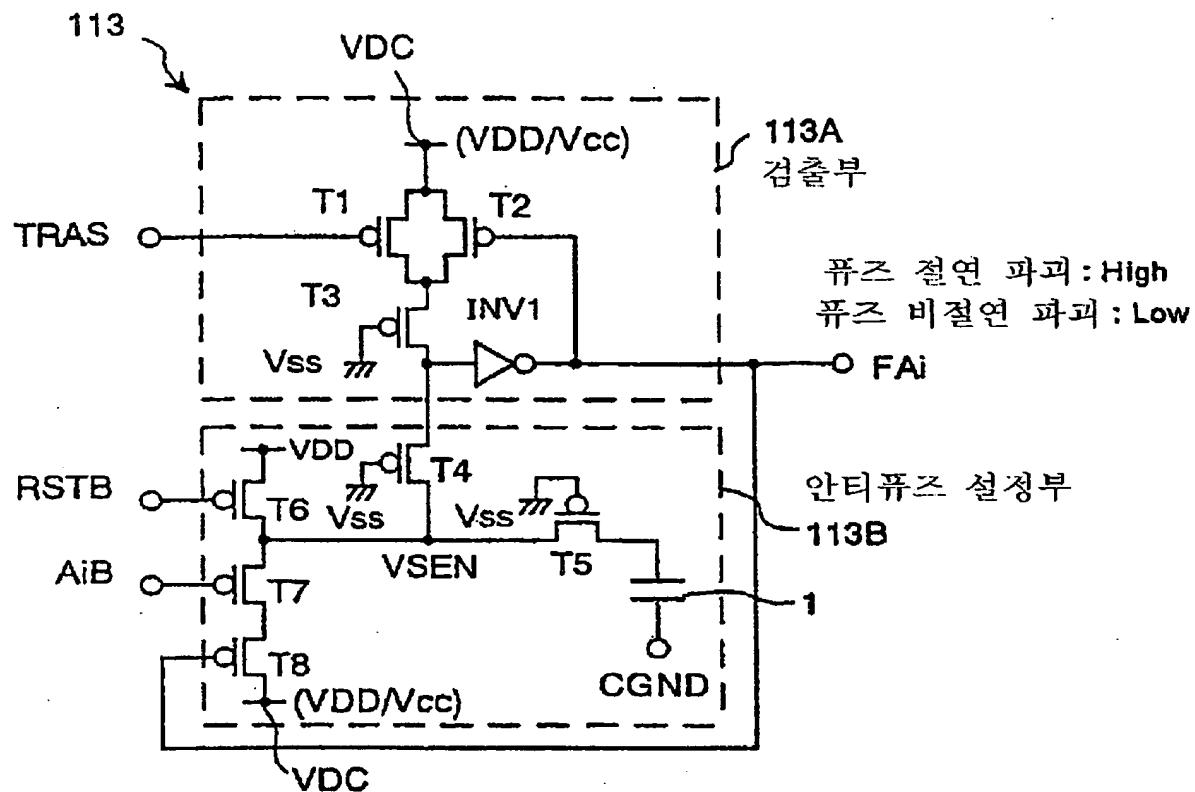
공개특허 특2001-0108118

도면 20



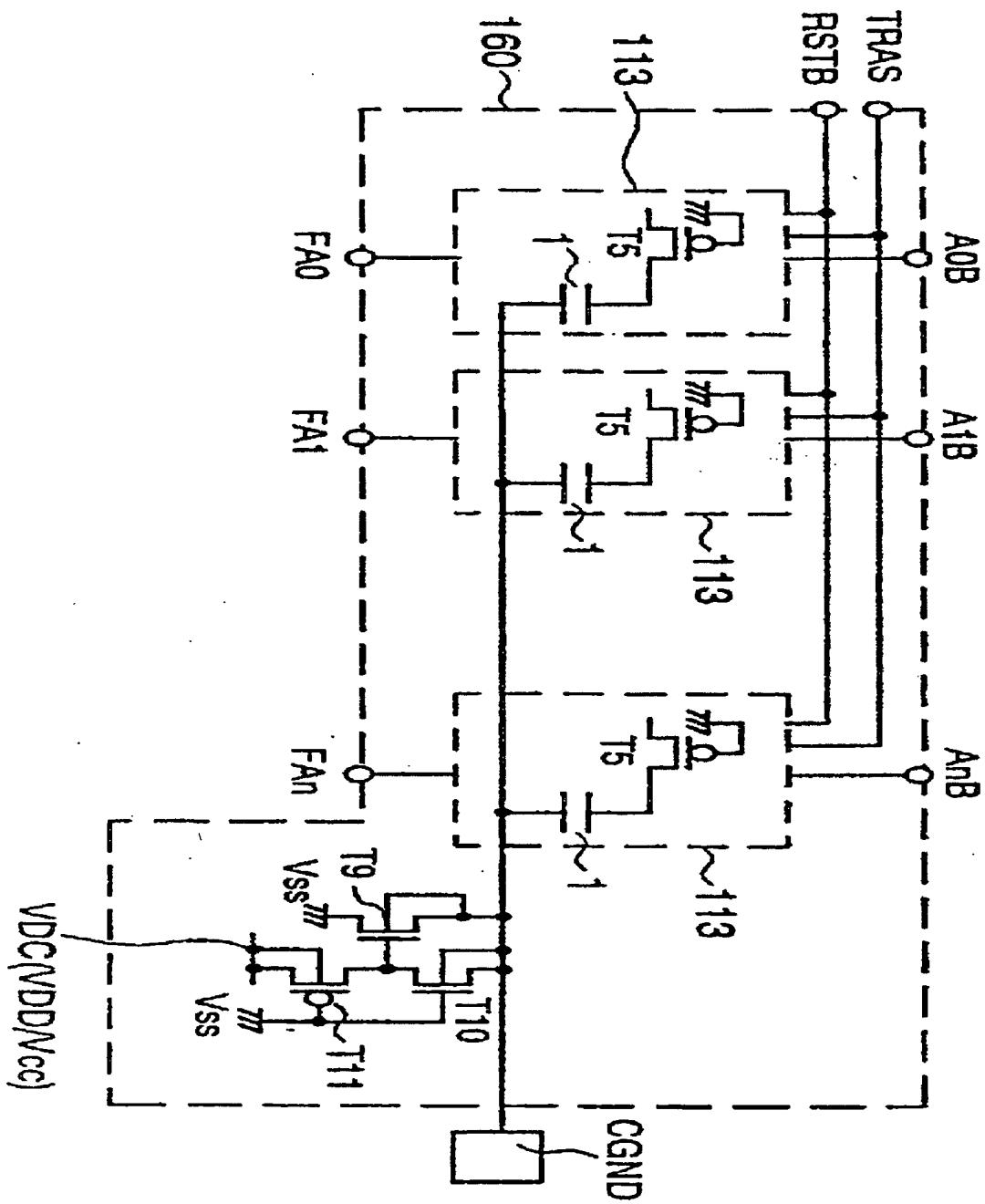
공개특허 특2001-0108113

도면 21



공개특허 등록2001-0108118

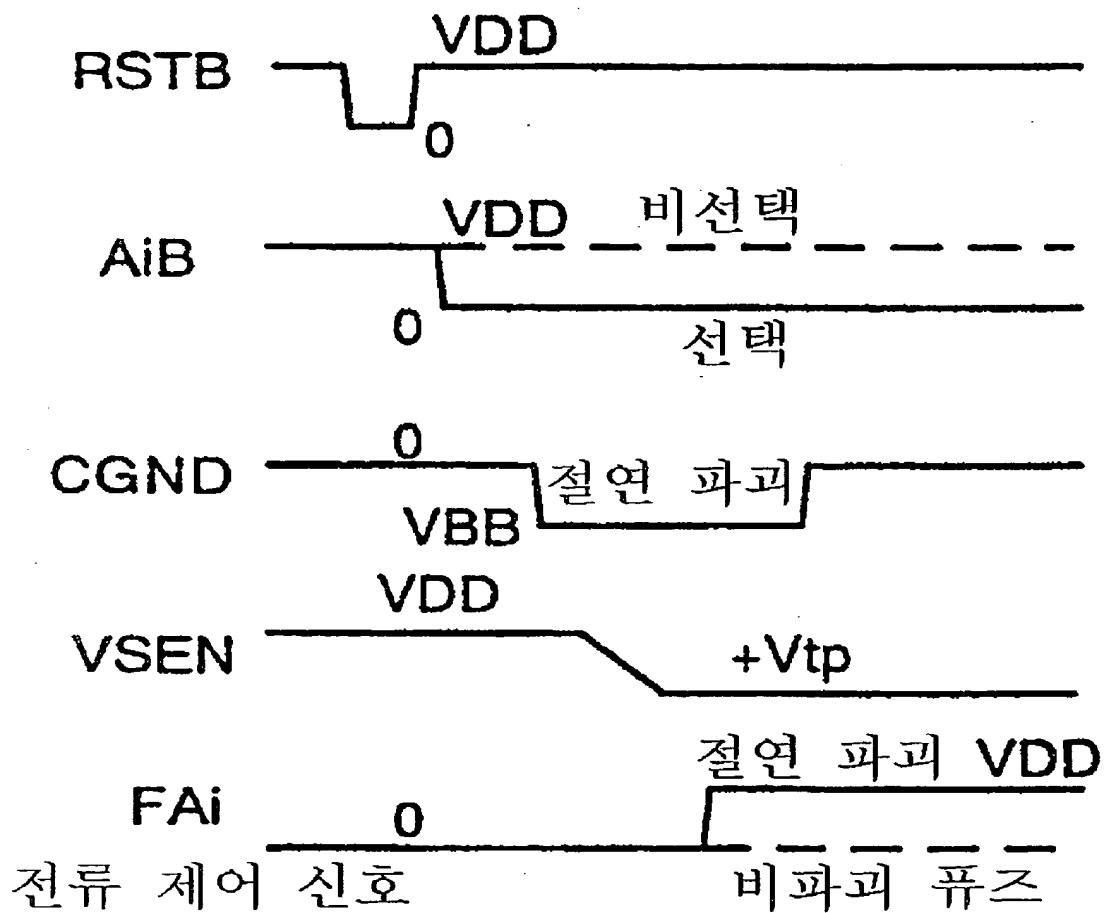
도면 22



공개특허 특2001-0108118

도면 23

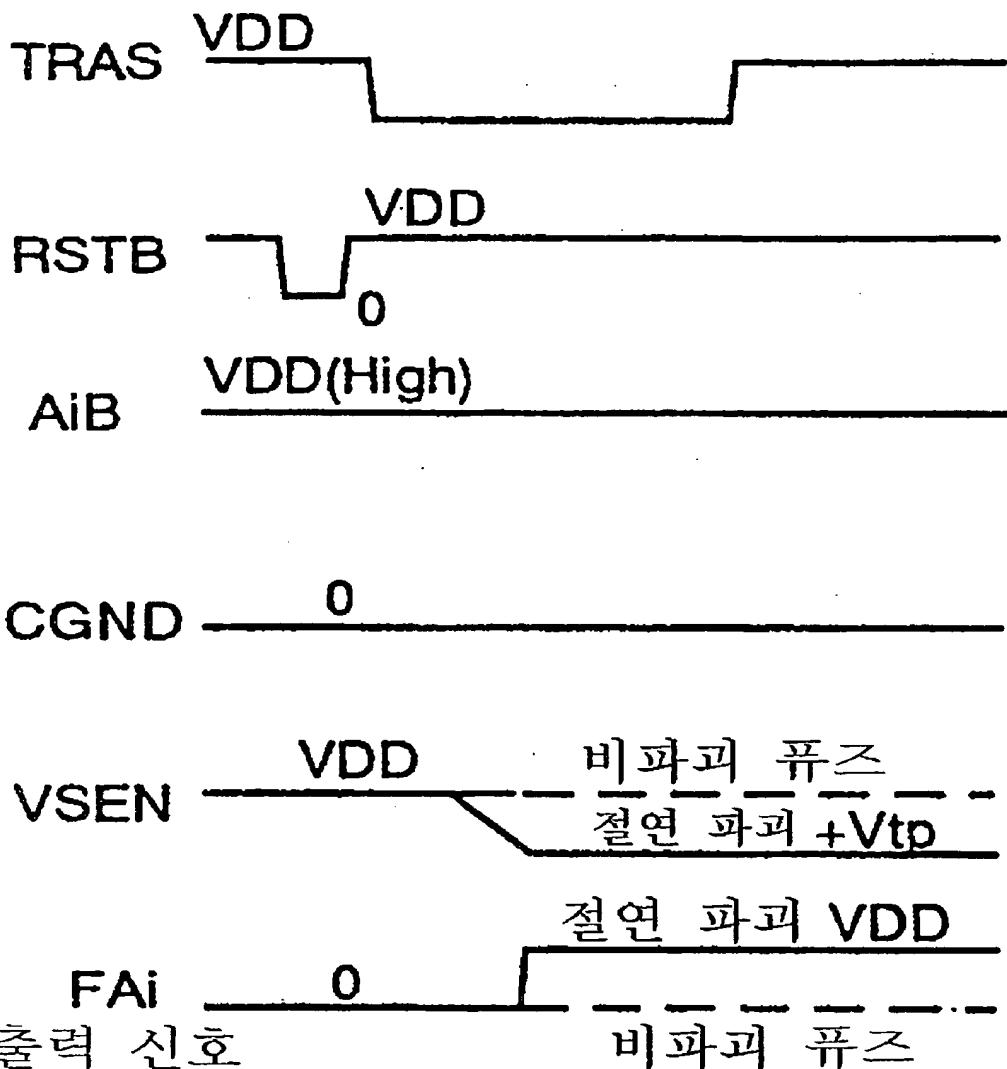
( 퓨즈 프로그램 )

TRAS VDD(High)

공개특허 특2001-0108118

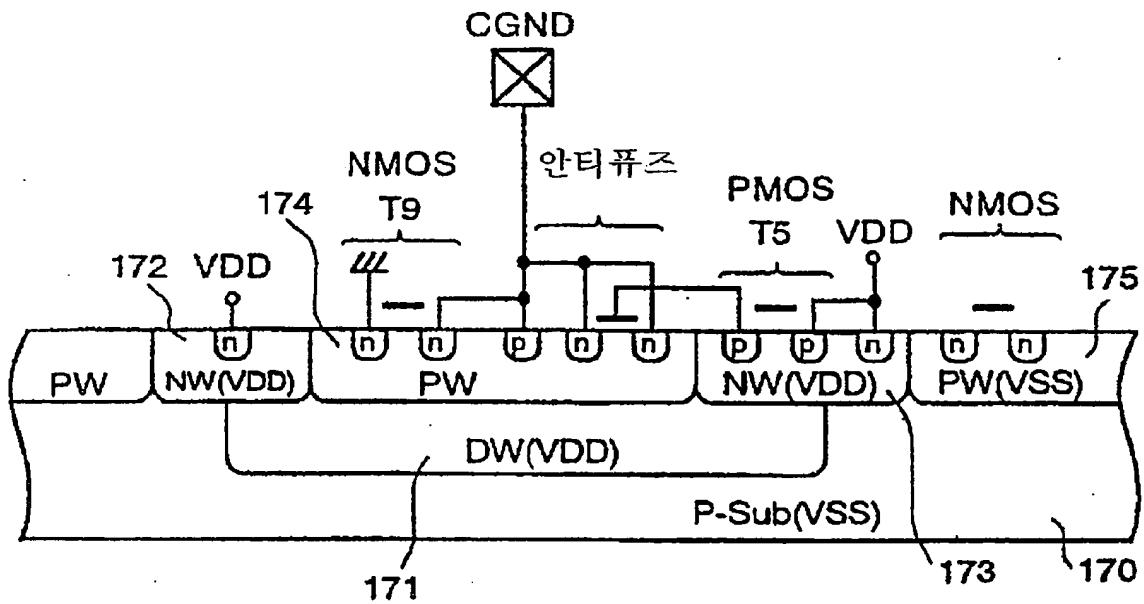
도면 24

( 퓨즈 판독 )



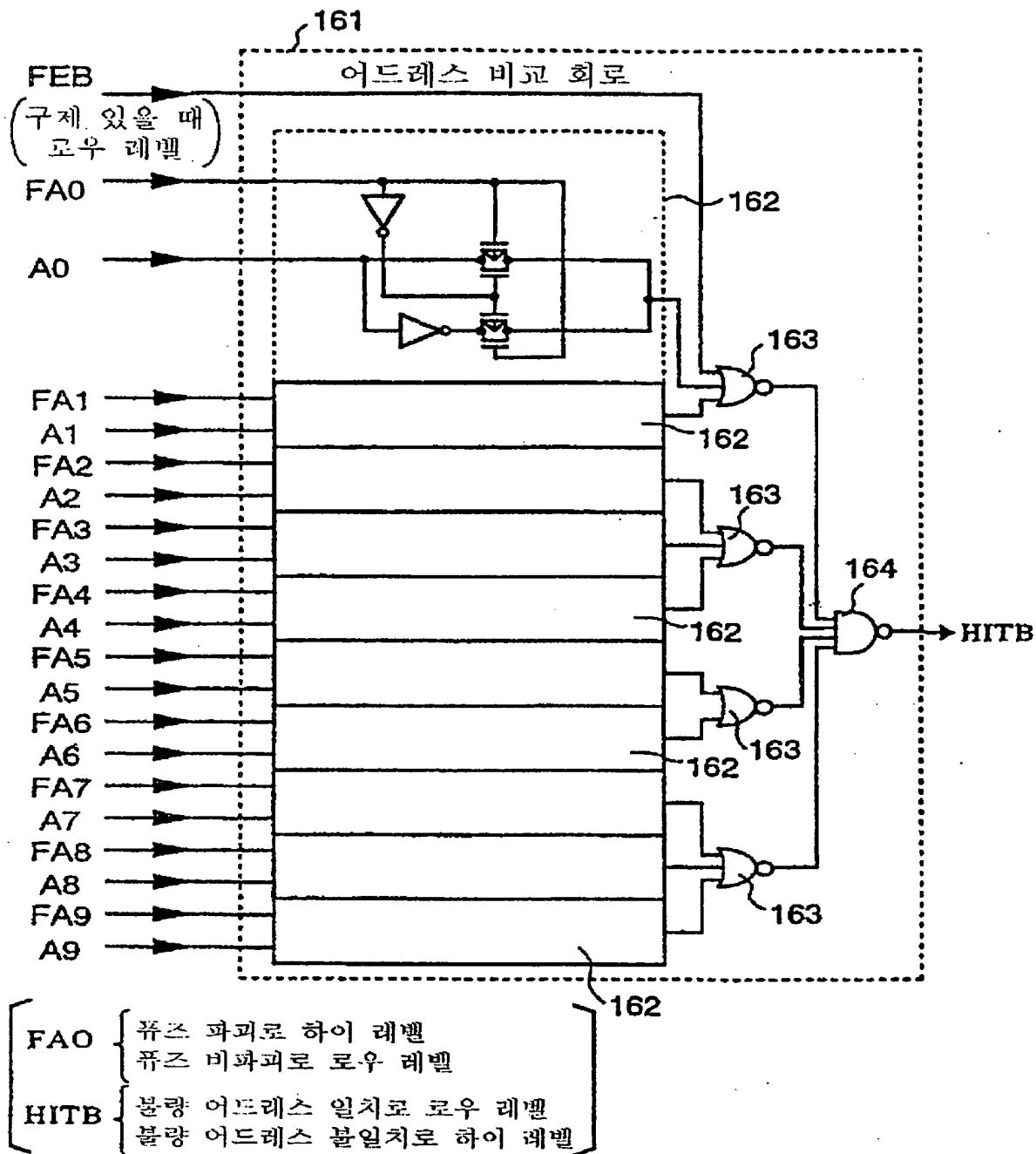
공개특허 특2001-0108118

도면 25



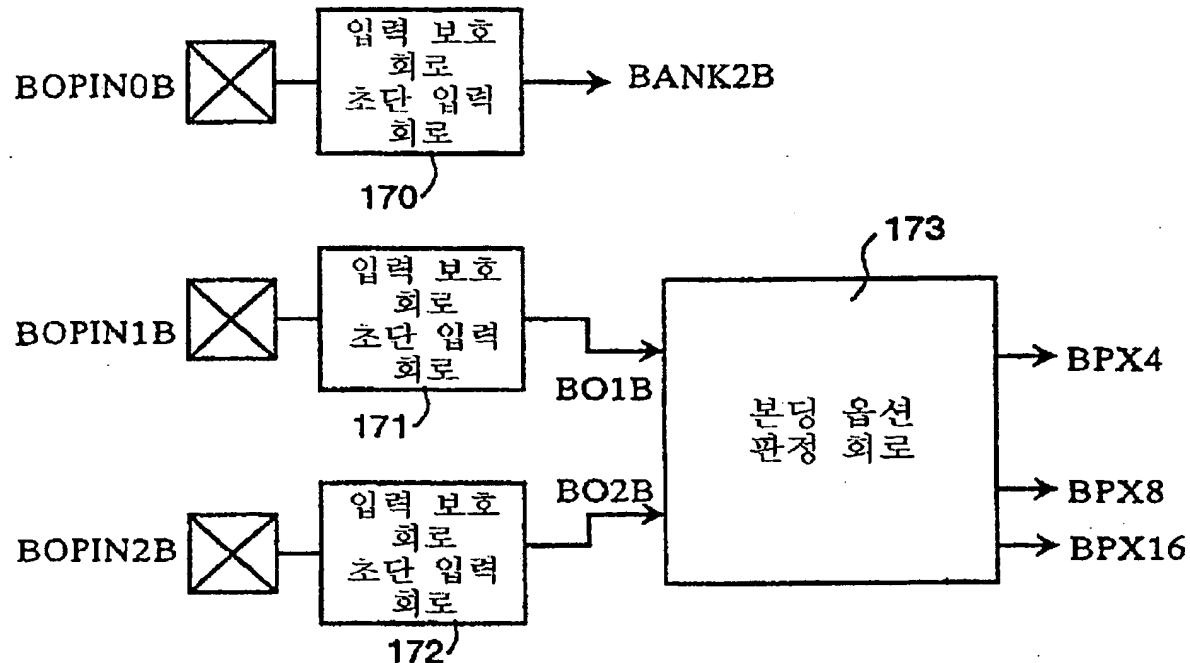
공개특허 특2001-0108118

도면 26

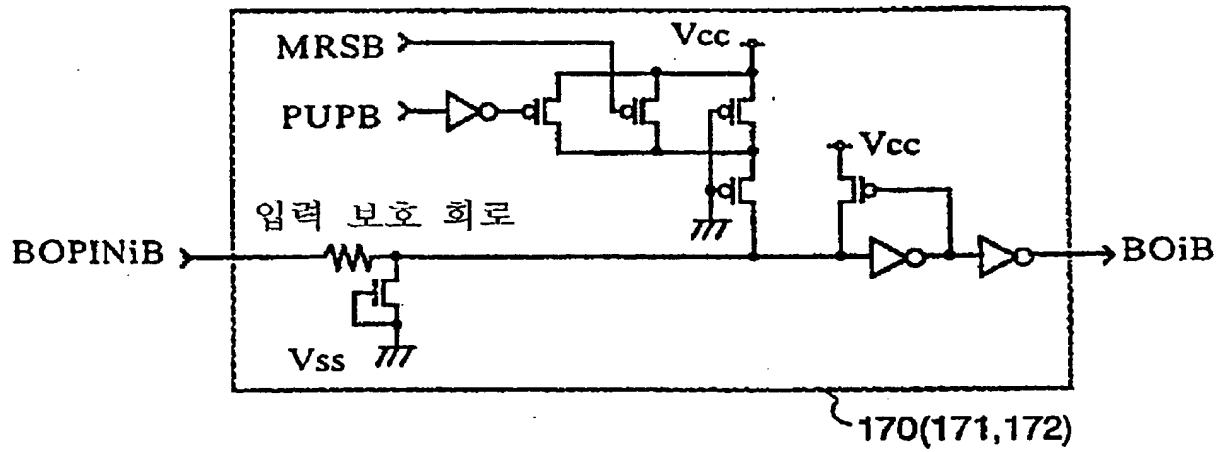


공개특허 특2001-0108118

도면 27

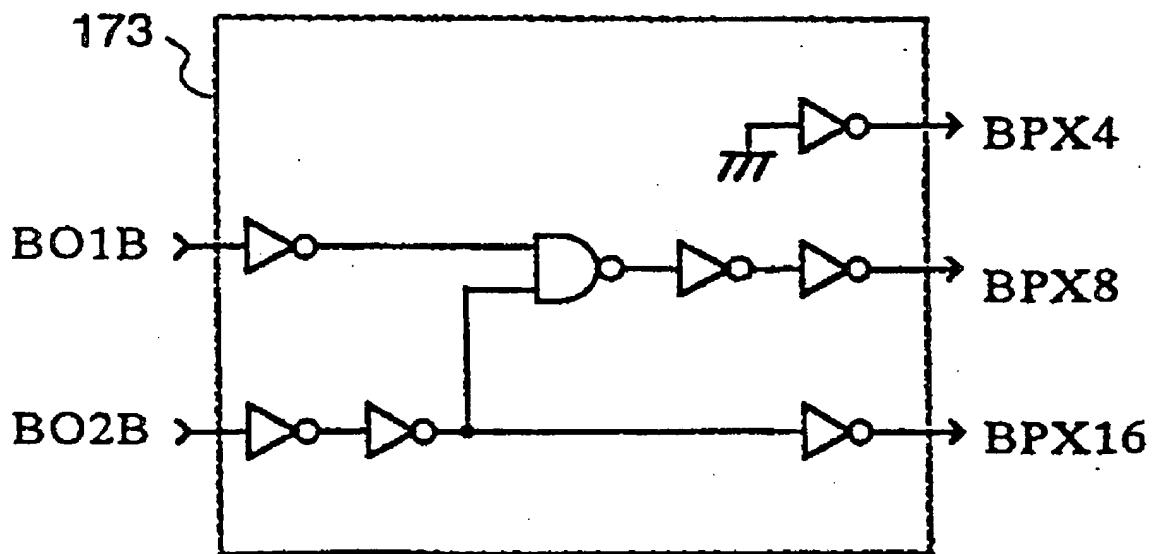


도면 28



공개특허 특2001-0108118

도면 29



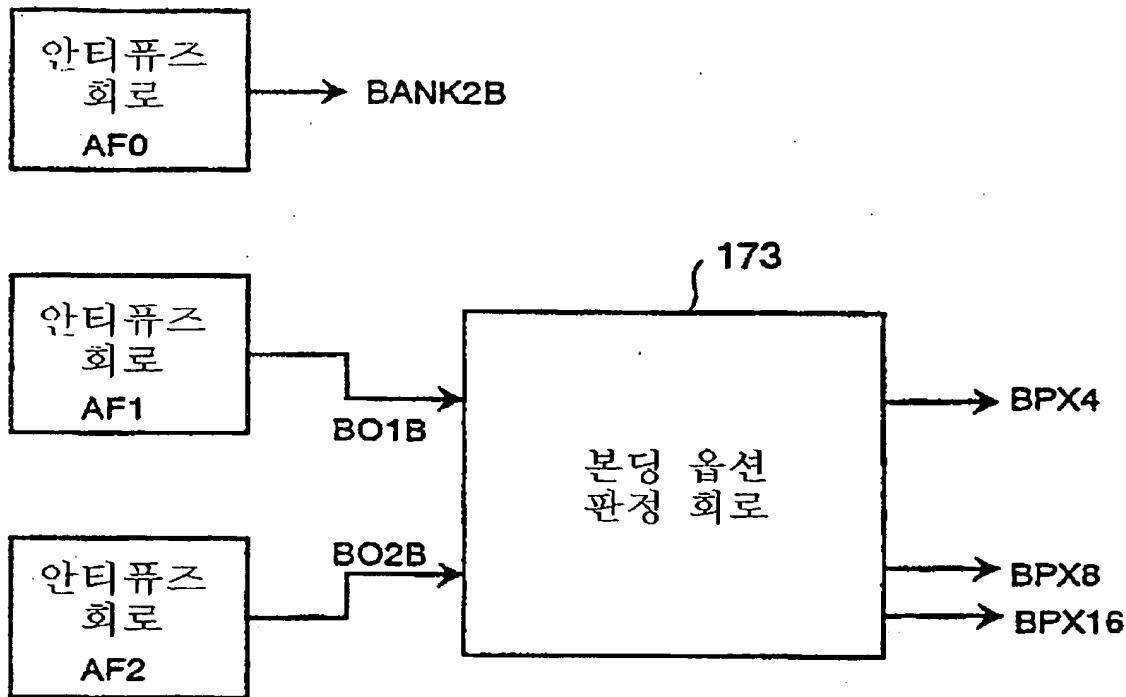
도면 30

## 본드 옵션 사양 일람

사양	입력			출력			
	BOPIN0B	BOPIN1B	BOPIN2B	BNK2B	BPX4	BPX8	BPX16
4Bank / x4	Floating	VSS	Floating	'H'	'H'	'L'	'L'
4Bank / x8	Floating	Floating	Floating	'H'	'H'	'H'	'L'
4Bank / x16	Floating	Floating	VSS	'H'	'H'	'H'	'H'
2Bank / x4	VSS	VSS	Floating	'L'	'H'	'L'	'L'
2Bank / x8	VSS	Floating	Floating	'L'	'H'	'H'	'L'
2Bank / x16	VSS	Floating	VSS	'L'	'H'	'H'	'H'

공개특허 특2001-0108118

도면 31



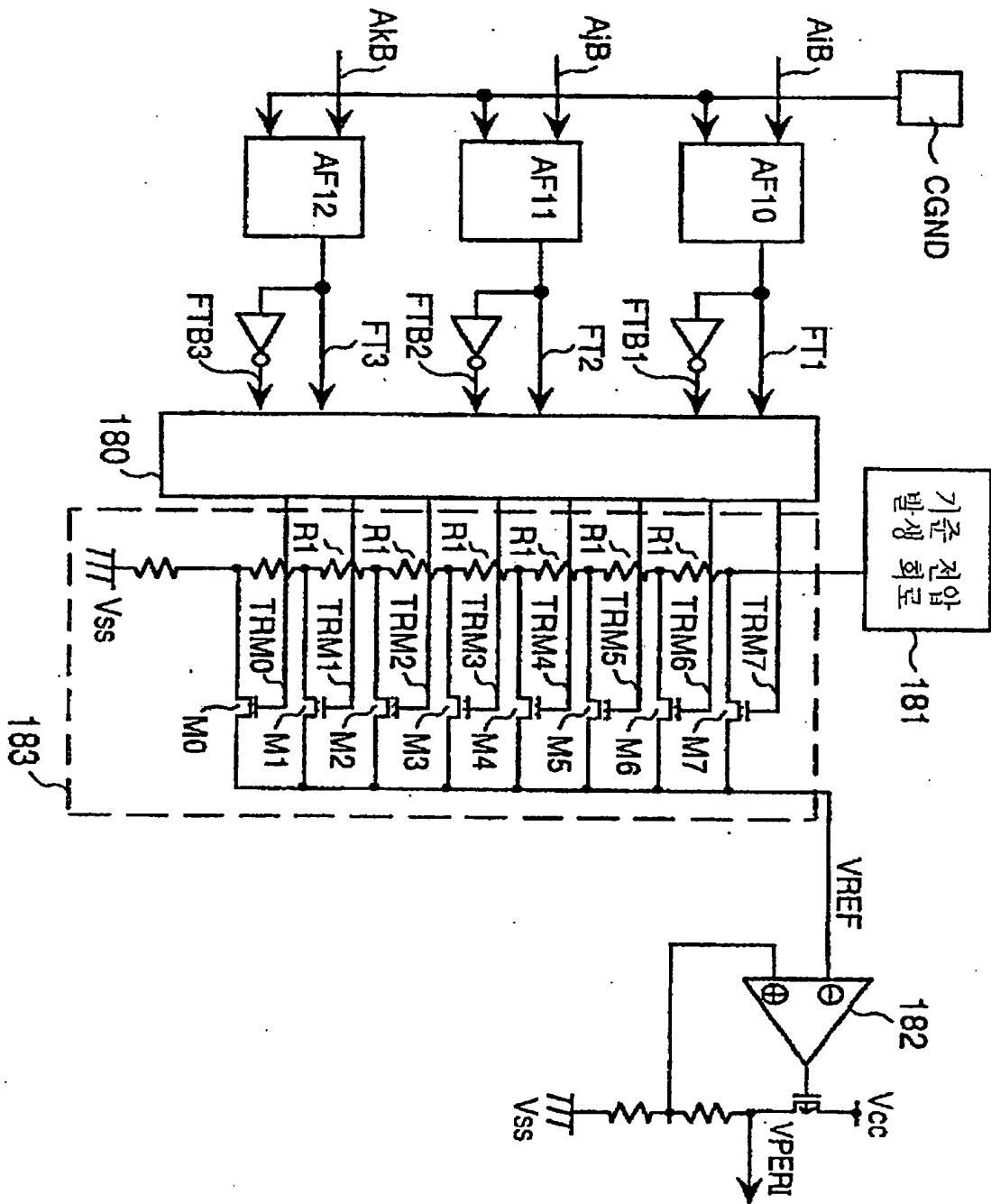
도면 32

## 안티퓨즈 옵션 사양 일람

사양	안티퓨즈 옵션 상태			출력			
	AF0	AF1	AF2	BNK2B	BPX4	BPX8	BPX16
4Bank / x4	파괴	비파괴	파괴	'H'	'H'	'L'	'L'
4Bank / x8	파괴	파괴	파괴	'H'	'H'	'H'	'L'
4Bank / x16	파괴	파괴	비파괴	'H'	'H'	'H'	'H'
2Bank / x4	비파괴	비파괴	파괴	'L'	'H'	'L'	'L'
2Bank / x8	비파괴	파괴	파괴	'L'	'H'	'H'	'L'
2Bank / x16	비파괴	파괴	비파괴	'L'	'H'	'H'	'H'

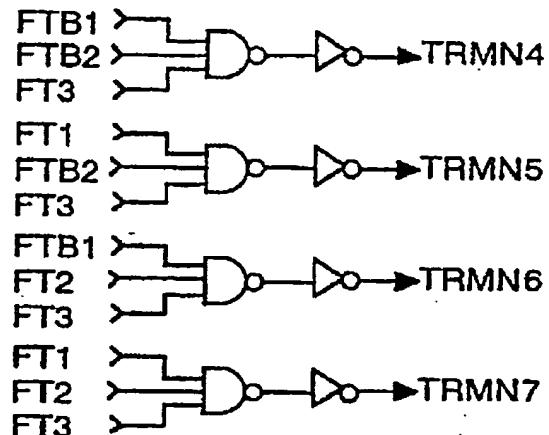
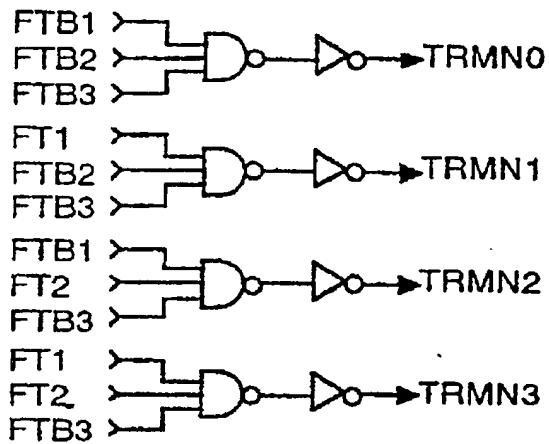
공개특허 등2001-0108118

도면 33



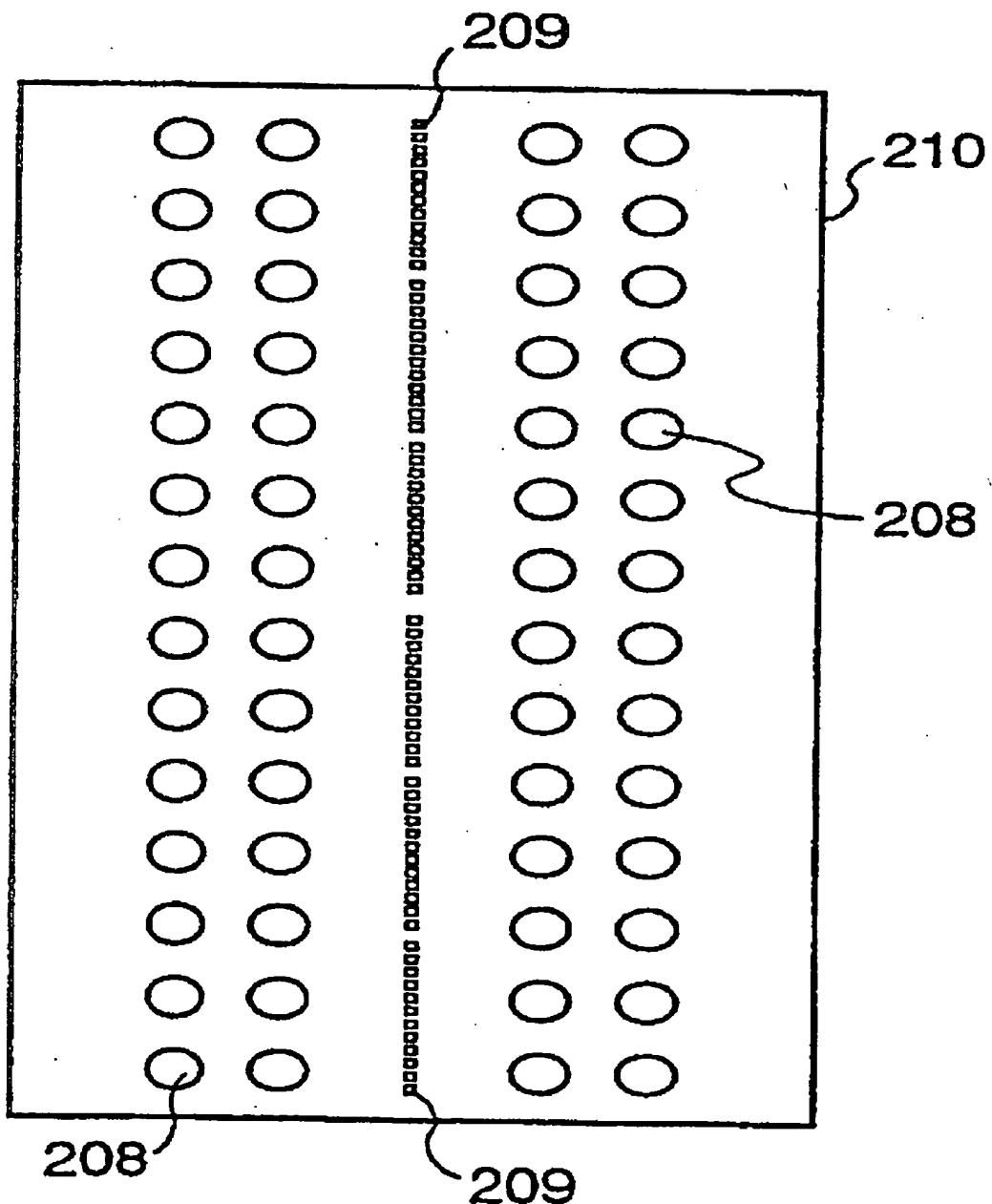
공개특허 등2001-0108118

도면 34



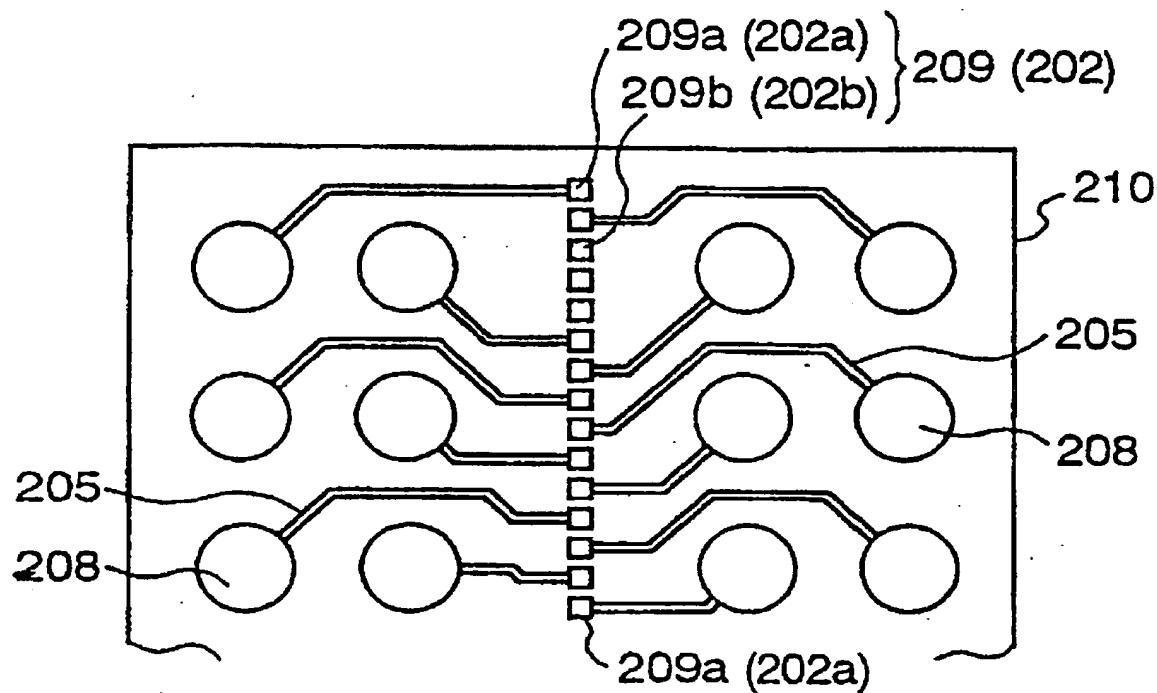
공개특허 등2001-0108118

도면 35

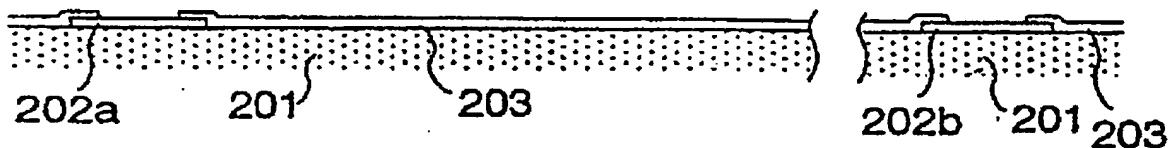


공개특허 특2001-0108118

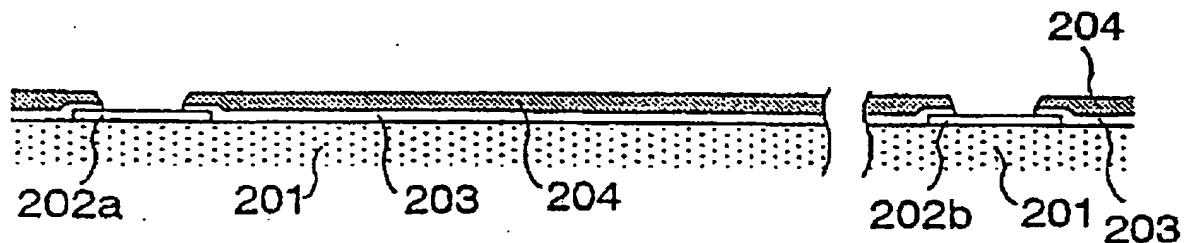
도면 36



도면 37

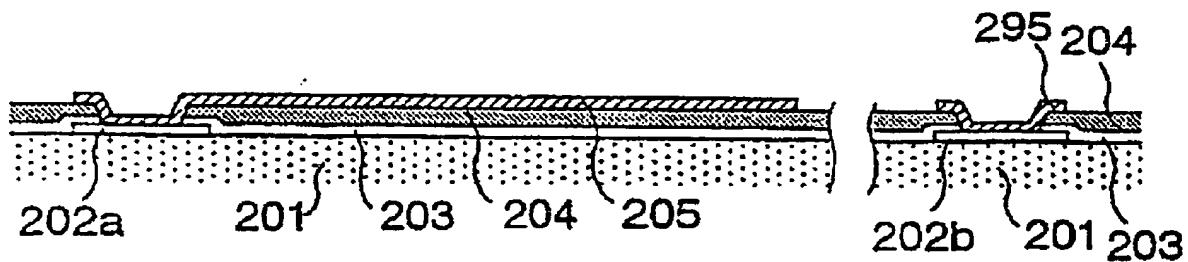


도면 38

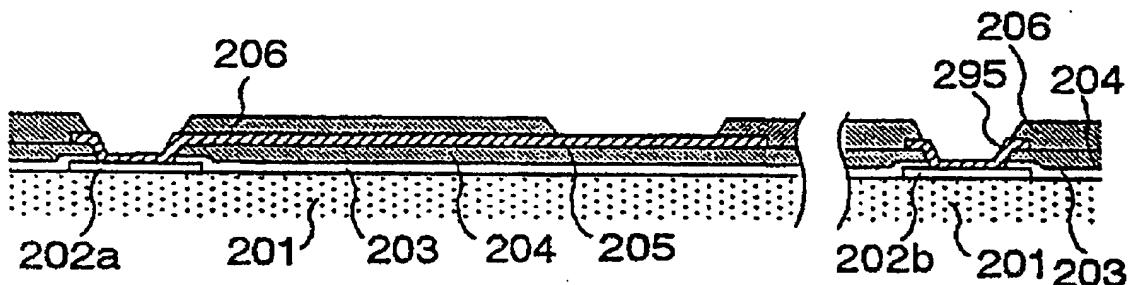


공개특허 특2001-0108118

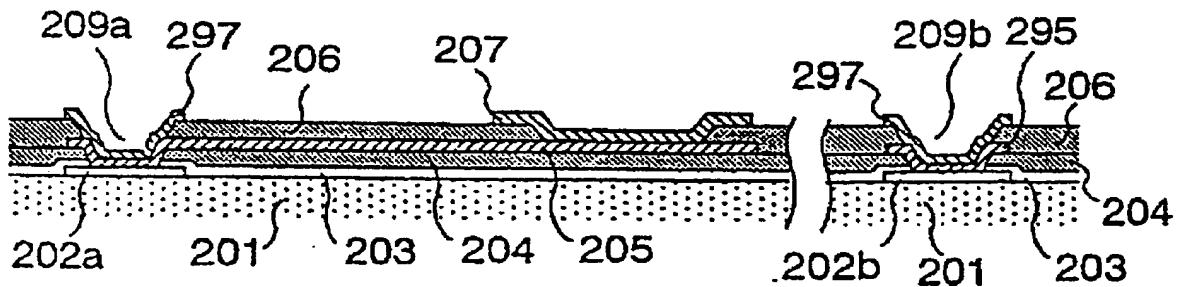
도면 39



도면 40

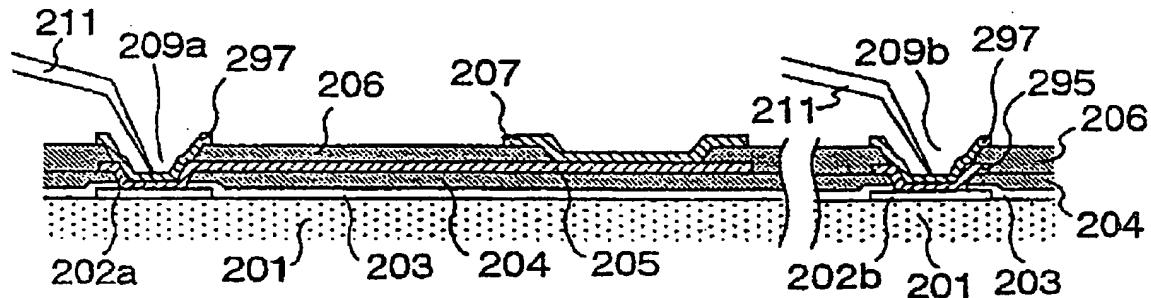


도면 41

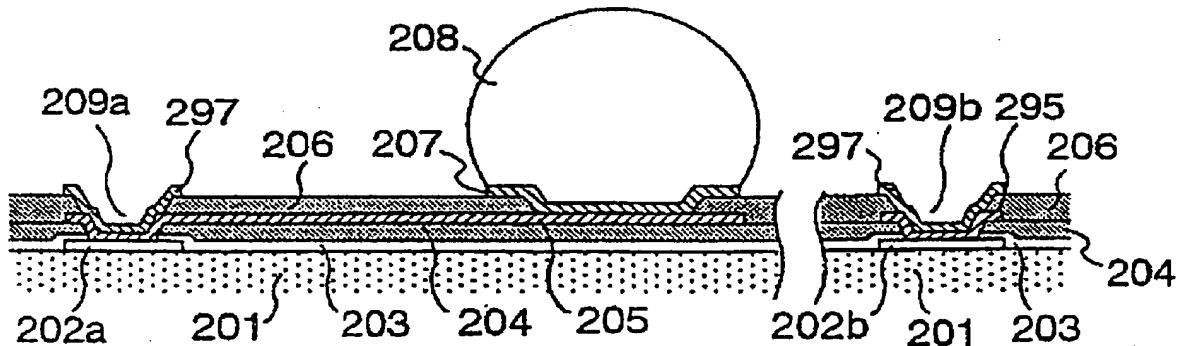


공개특허 제2001-0108118

도면 42



도면 43

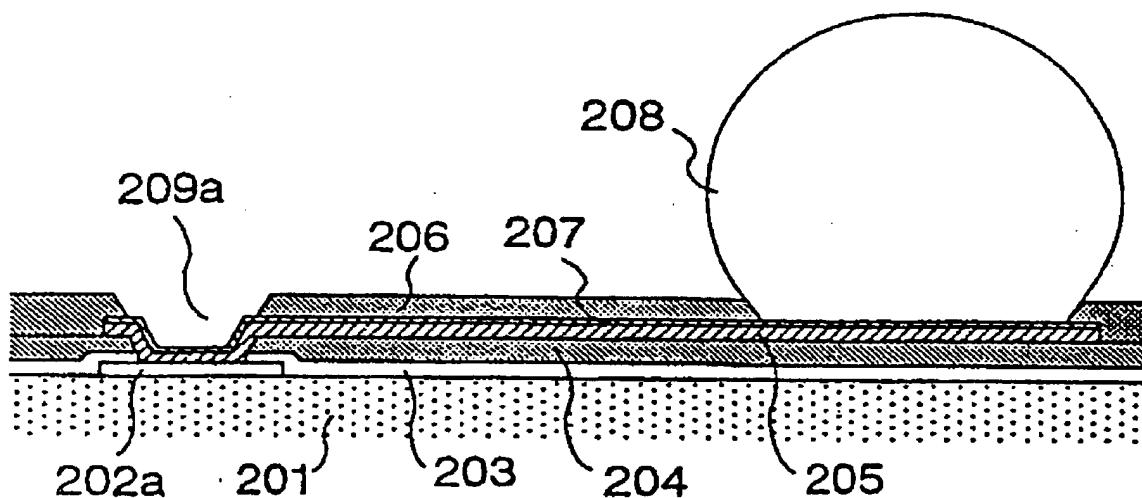


도면 44

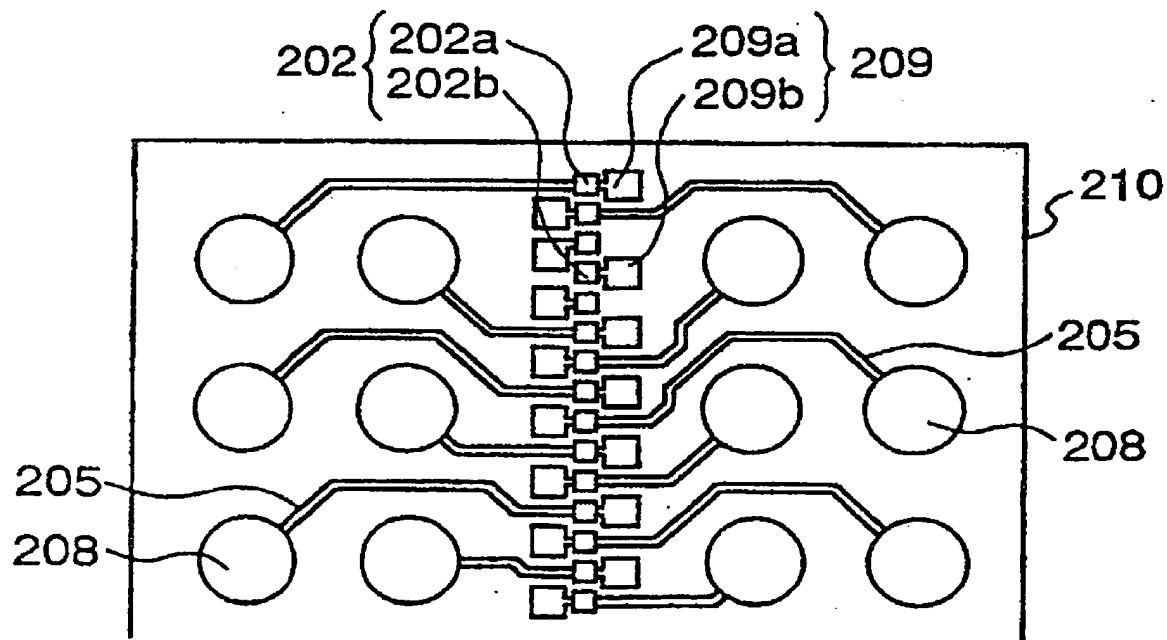
내용	본딩 패드수	패키지 외부 단자수
신호 입출력	39	39
전원	24	14
기능 선택	3	0
프로브 겸사	6	0
비접속	—	1
합계	72	54

공개특허 특2001-0108118

도면 45

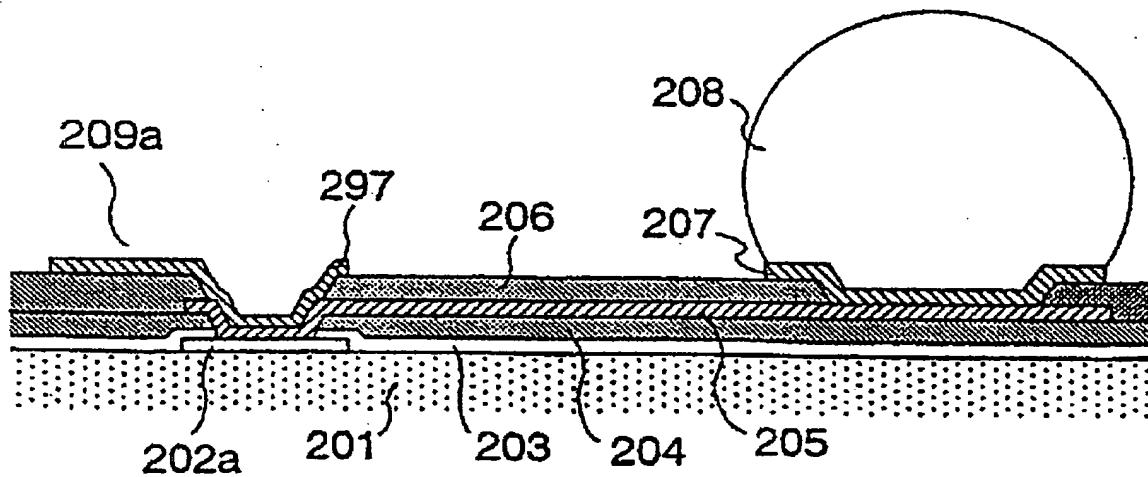


도면 46

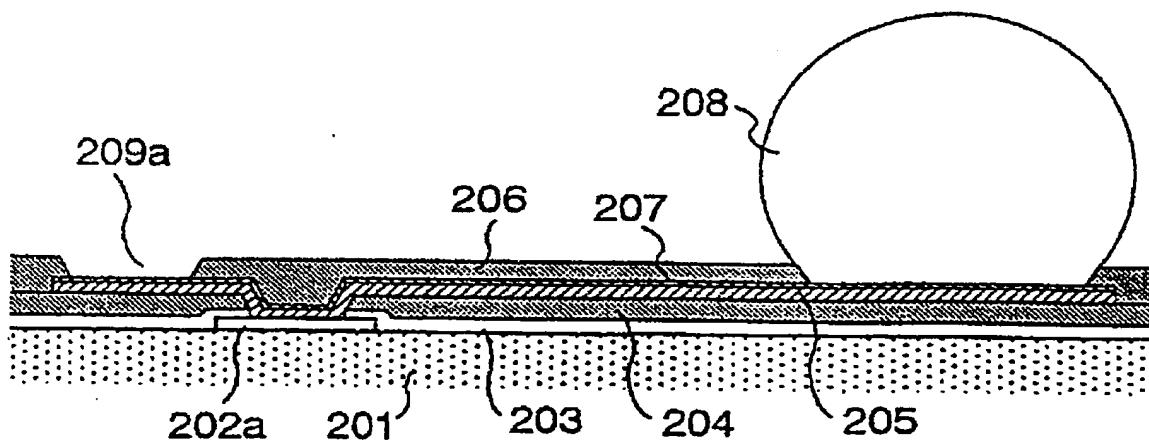


공개특허 특2001-0108118

도면 47

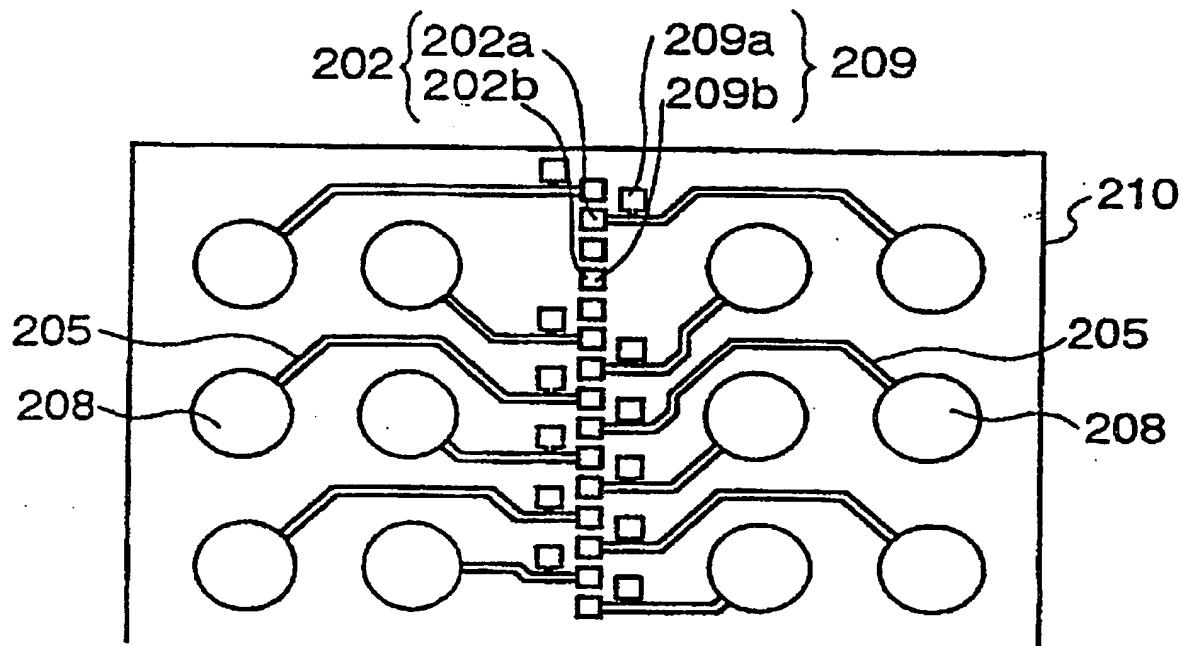


도면 48

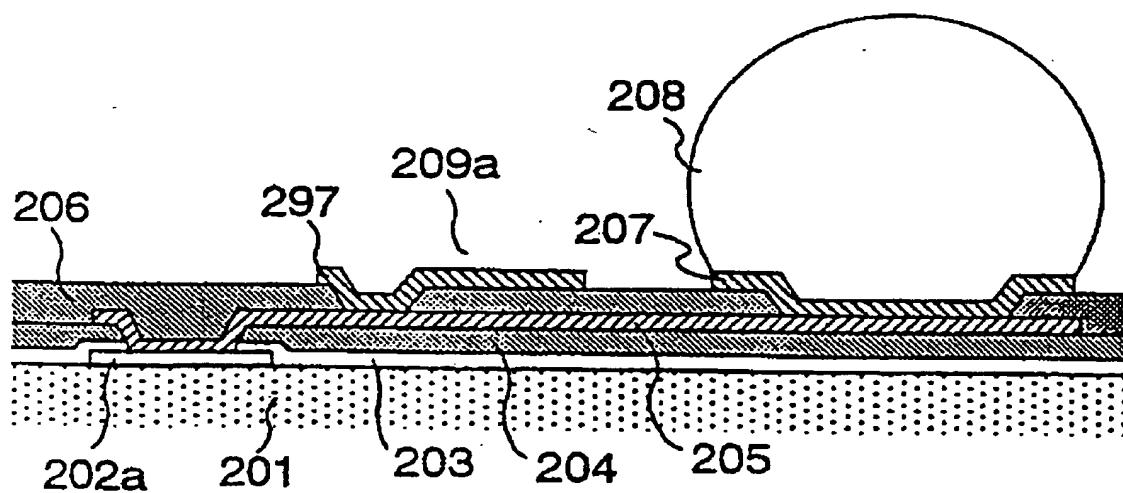


공개특허 특2001-0108113

도면 49

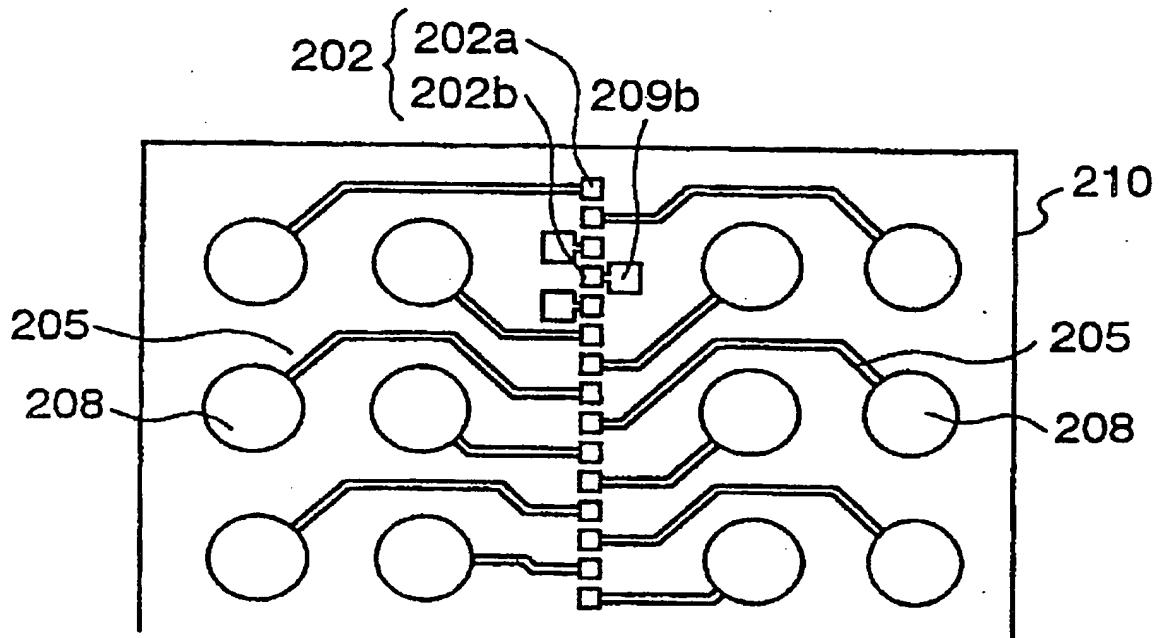


도면 50

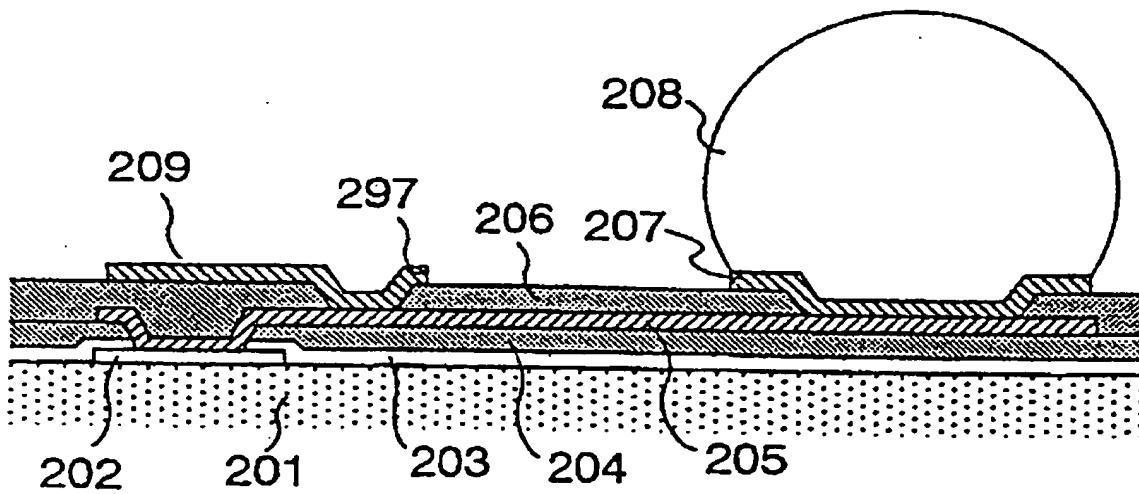


공개특허 등2001-0108118

도면 51



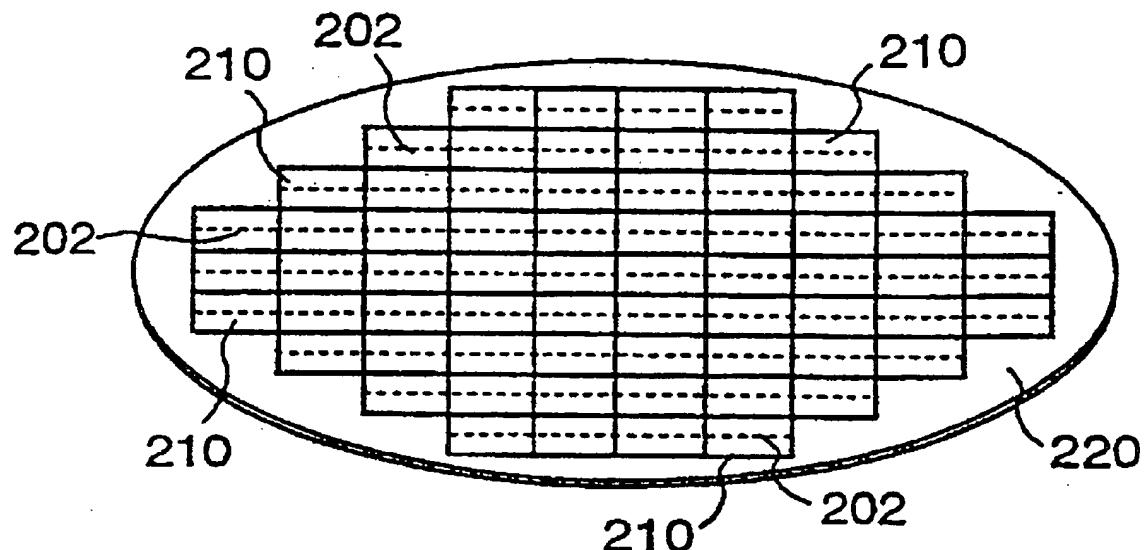
도면 52



공개특허 등2001-0108118

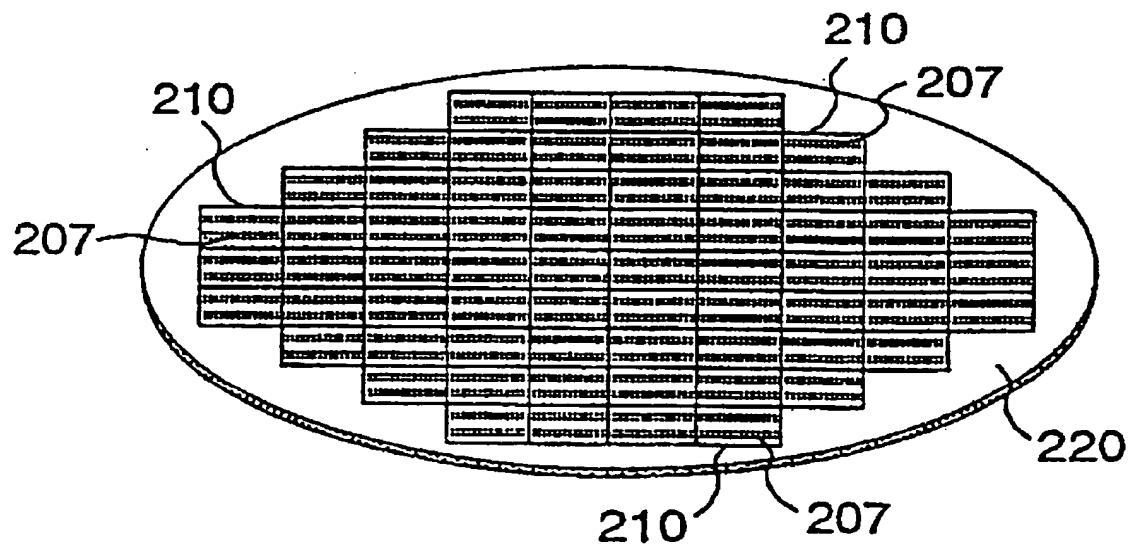
도면 53

## 종래의 완성 웨이퍼



도면 54

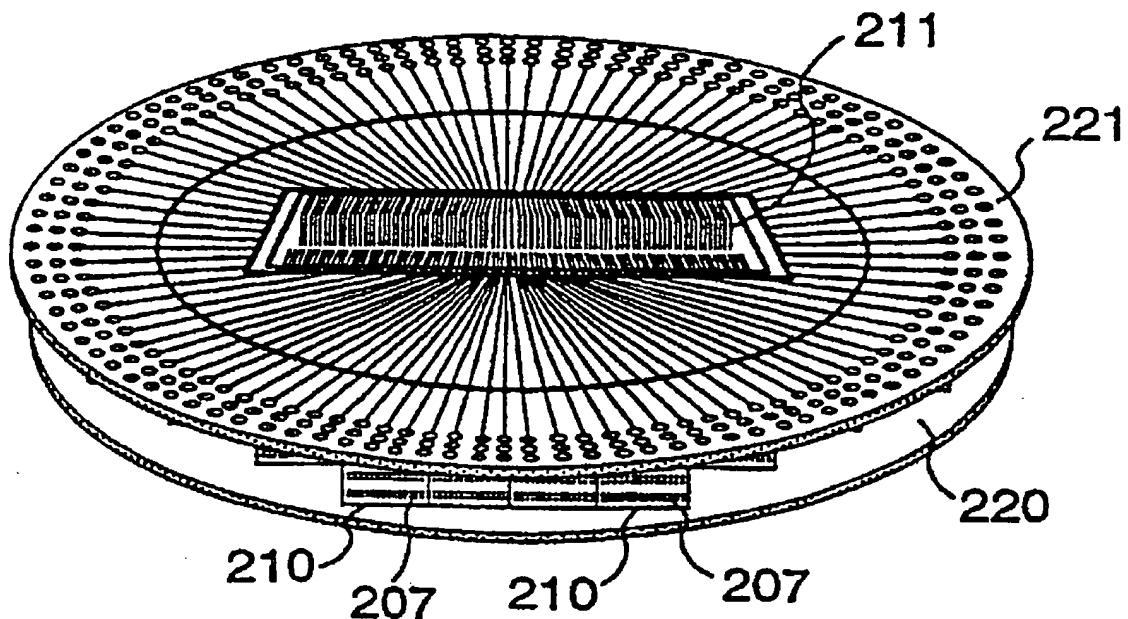
## 범프 하부 금속 형성 상태



공개특허 특2001-0108118

도면 55

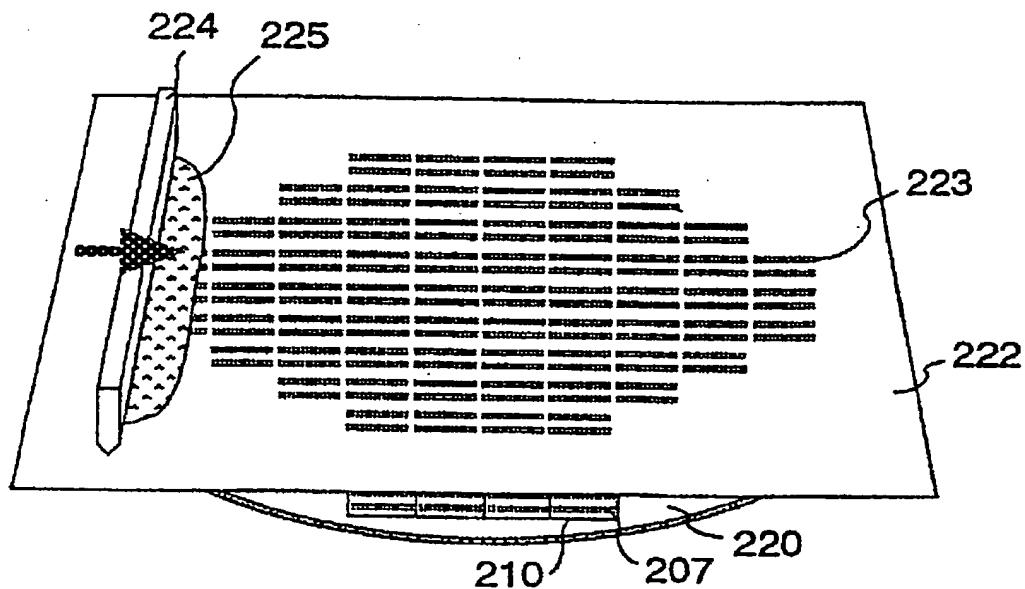
## 프로브 검사 공정



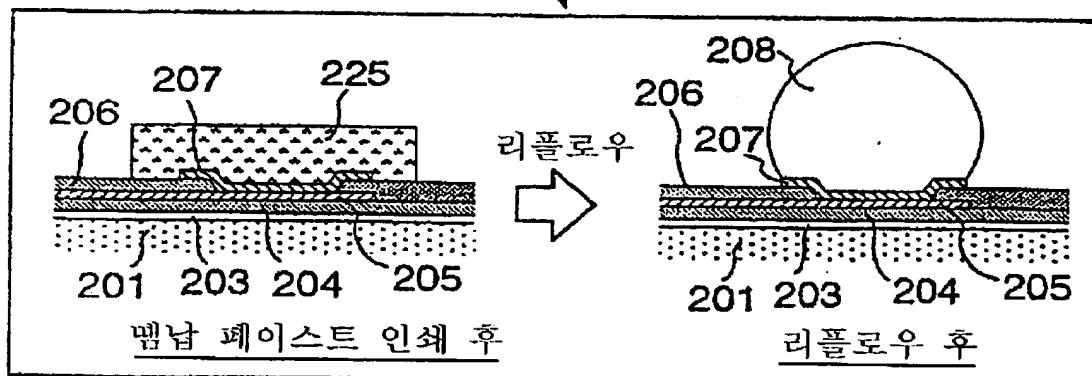
공개특허 특2001-0108118

도면 56

## 멤남 범프 형성 공정



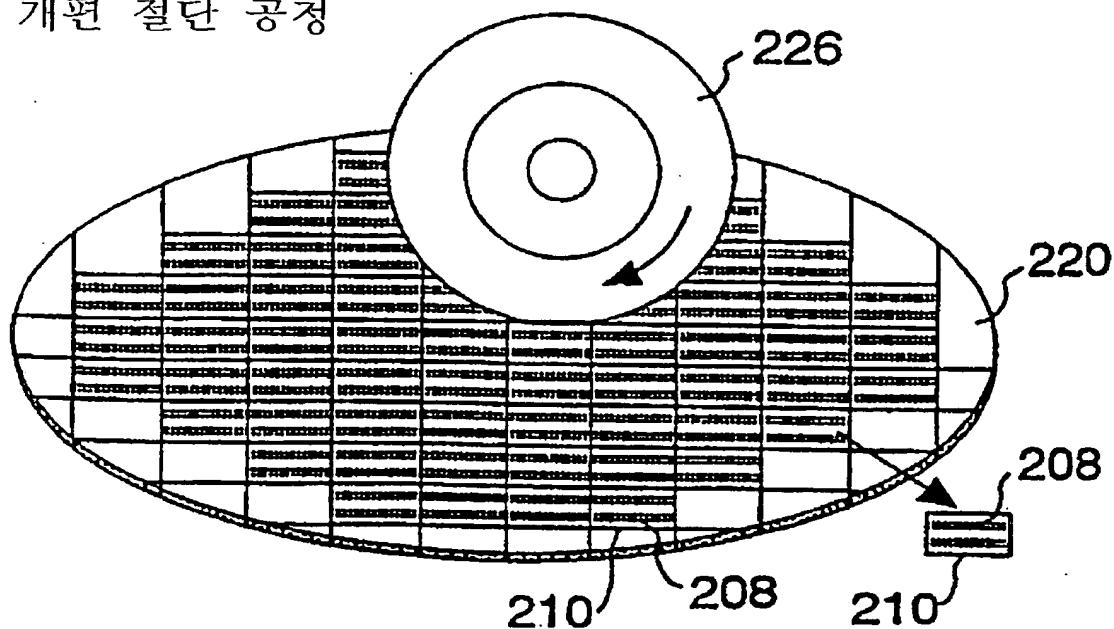
단면



공개특허 등2001-0108118

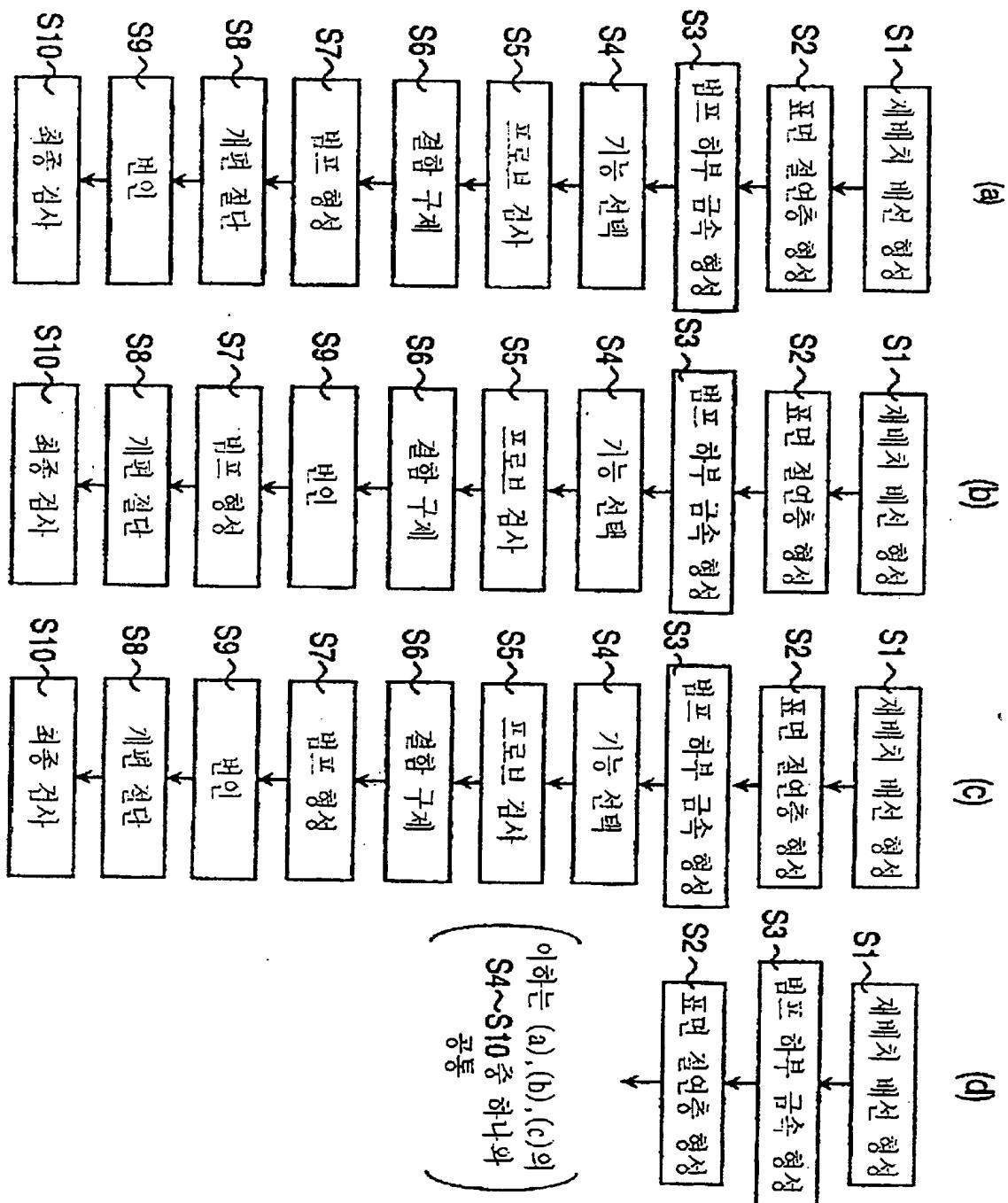
도면 57

개편 절단 공정



공개특허 특2001-0108118

노원 58



공개특허 특2001-0108118

도면 59

## 각 검사 검정에서의 프로브 소켓등의 접촉 개소

단자 내용		프로브 검사 전용			전원 공급.신호 입출력			대응 공정 플로우
검사 종별		프로브 검사	번인	최종 검사	프로브 검사	번인	최종 검사	
방식	1	검사용 범프	불사용	불사용	검사용 페드	범프	범프	a, c
	2	검사용 범프	불사용	불사용	범프 하부 금속	범프	범프	a, c
	3	검사용 범프	불사용	불사용	검사용 페드	검사용 페드	범프	a, b, c
	4	검사용 범프	불사용	불사용	범프 하부 금속	범프 하부 금속	범프	b

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**